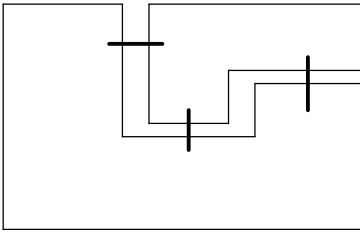


Configuration List

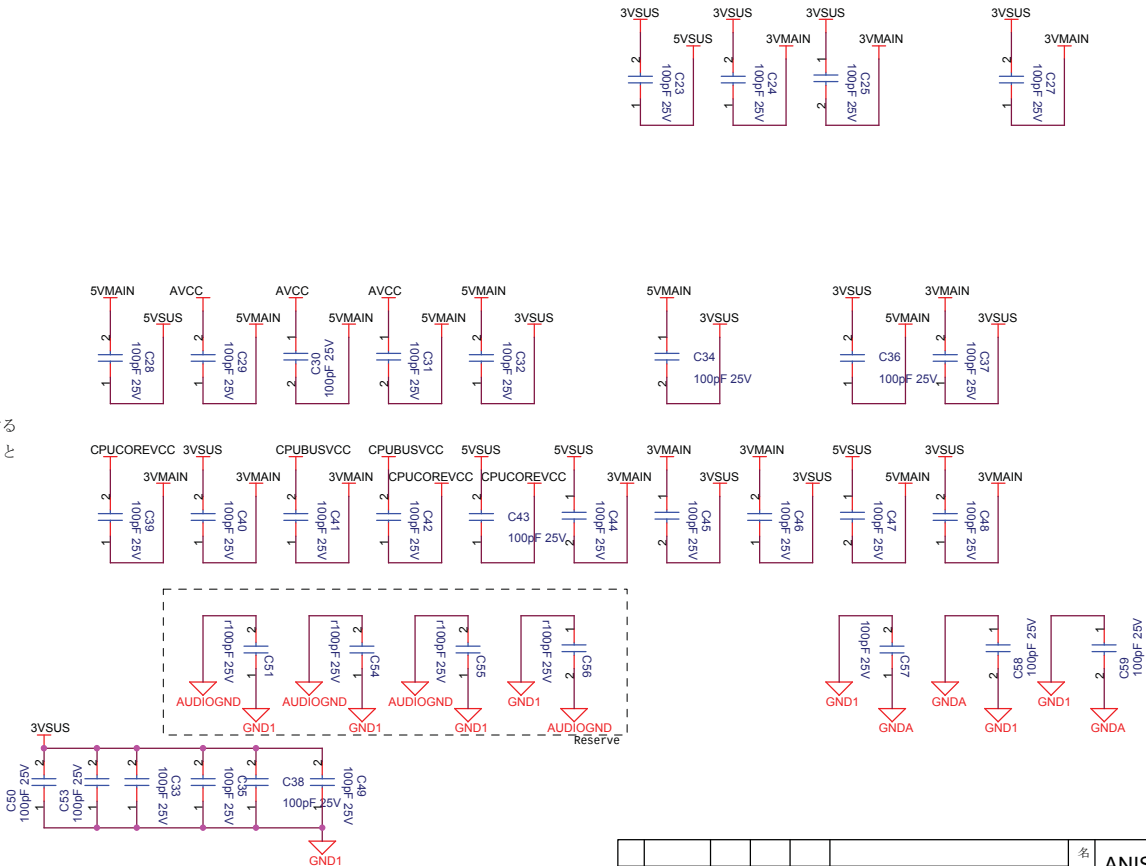
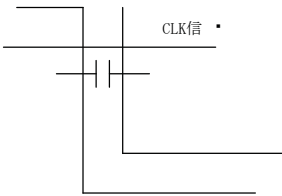
<http://hobi-elektronika.net>

[illegible][illegible]

本部品は電波対策用の部品であり、基板の周囲で電源とグランドに挿入するフィルタである。
特に電源の種別は未接続状態にしているの、適宜、配置する 箇所より電源を設定すること

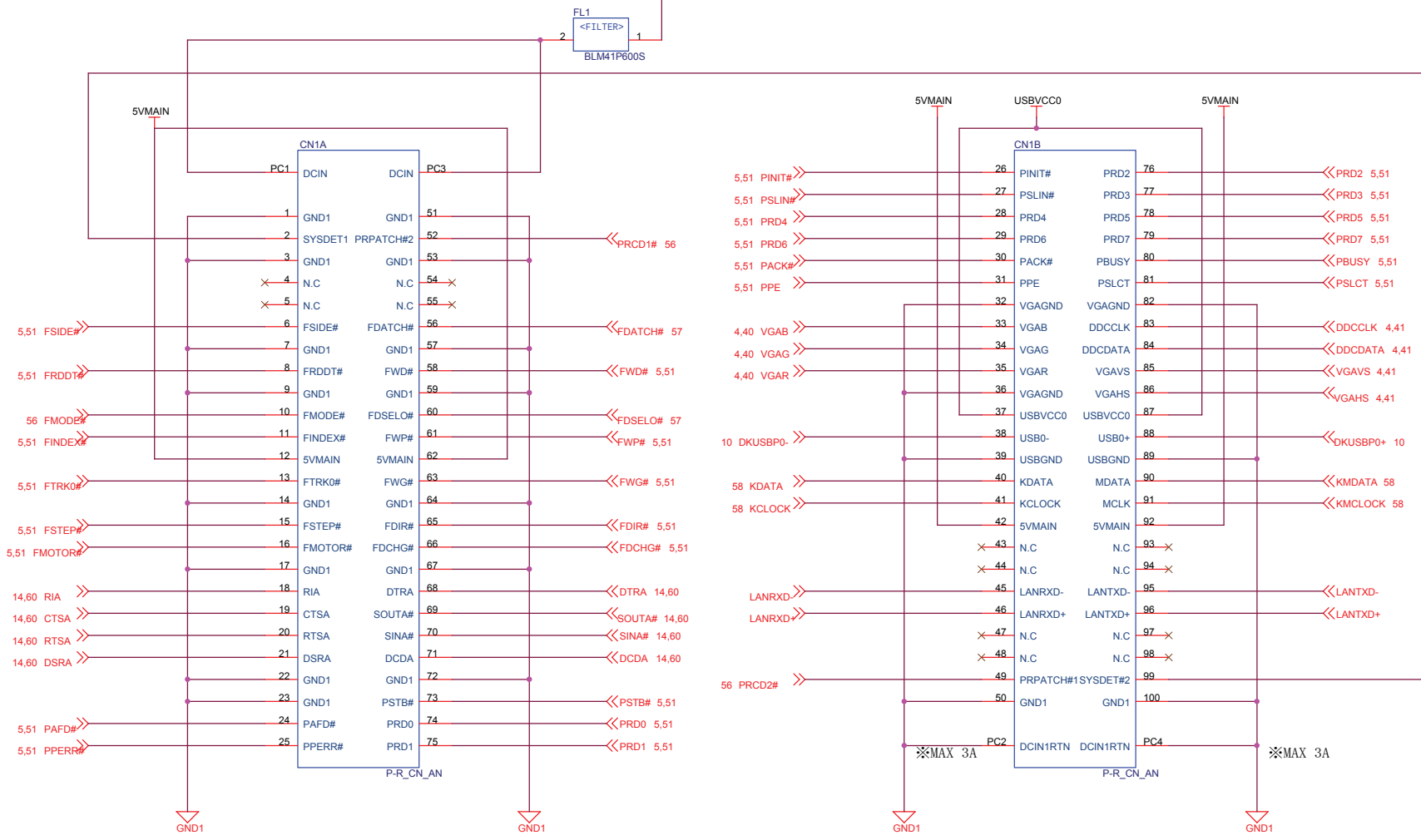


本コンデンサは電源/グランド層にして発生する島ブレーン同士 風れ続するためにものである。
そのため、上記のような島構成であれば、ポイントとなる個所にコンデンサを配置するようにする
また、クロックを、島をまたいで引く場合には、クロック信号の近くにコンデンサを配置すること
また、レイアウトに関連するので、未接 状態にしている。



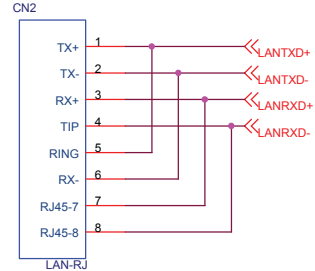
EMI RC

								名称	ANISE-E2-04	
								図番	C1CP051300-X4	提出先
版	年	月	設計	調査	承認	変 更 内			富士通株式会社	
設計				調査		承認				
									3	/ 81



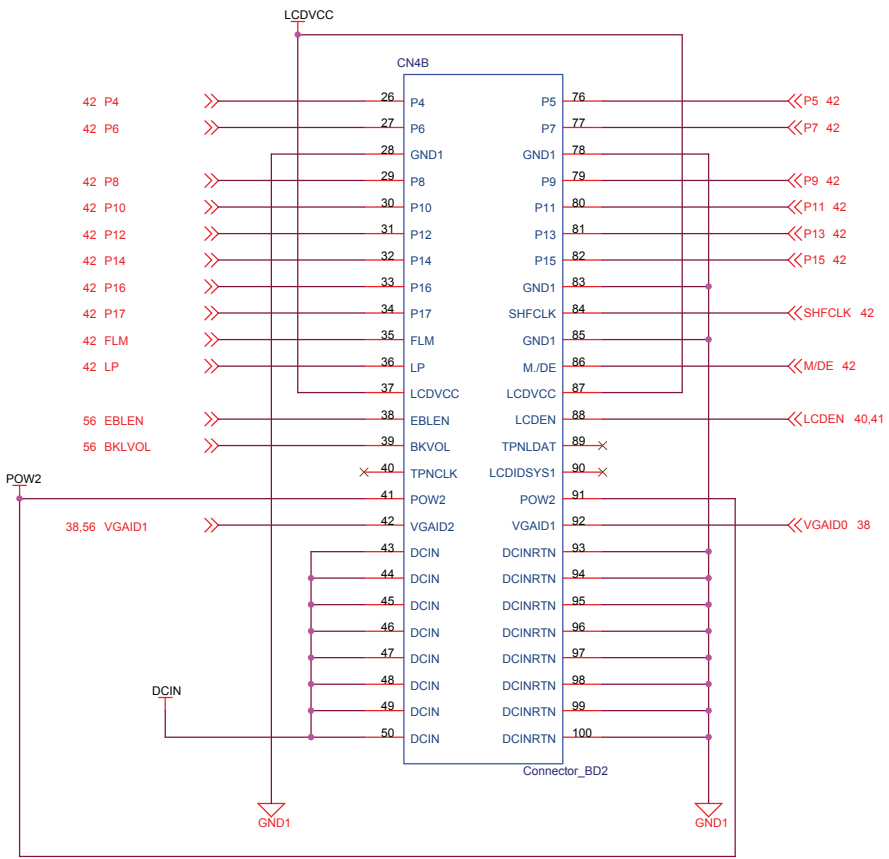
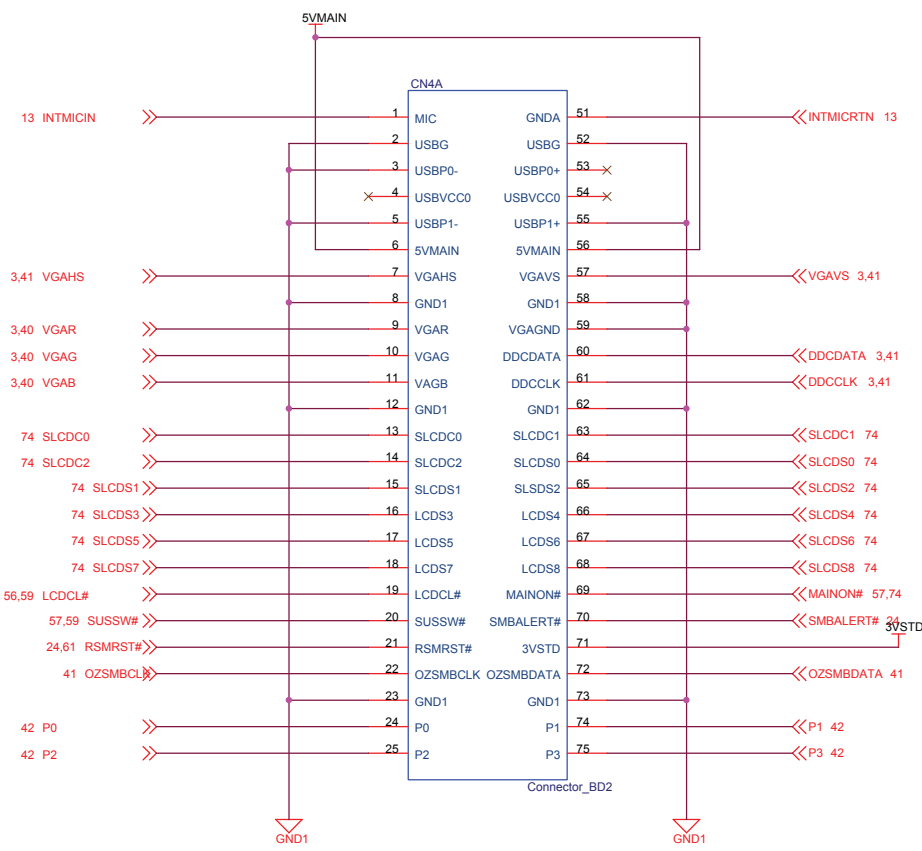
注) LAN信号線(LANTXD+, LANTXD-, LANRXD+, LANRXD-)はA LANTXD+ - LANTXD-、LANRXD+ - LANRXD-をそれぞれ対で配線し、対の距離は、最低配線距離、TXD, RXD間はその5倍の距離を離すこと。
また、この4本を通している上下2層は配線領域から横方向に3mmを内層リアとする。
上下3層目は、GND1にて、配線の上をGND1でガードすること。但し、ガードも含め、本信号線のスホールおよび、配線から3mm以内は、絶縁距離として確保し、いかなる信号線も3mm以下の距離にならない。
但し、例外条件として、上下3層目は本信号と完全に直行する場合のみ他の信号線の布線を許可する。(必要最低限に抑えること)

注) FIL1 - P-R_CONN間は、コネクタ引出し部 スホール各3ヶ所計6個で引き出し、3mm以上のパターン幅、最短距離でFIL1に接続すること。
EXDCINは3mm以上のパターン幅で布線することが要求される B



DOCKING/LAN CONNECTOR

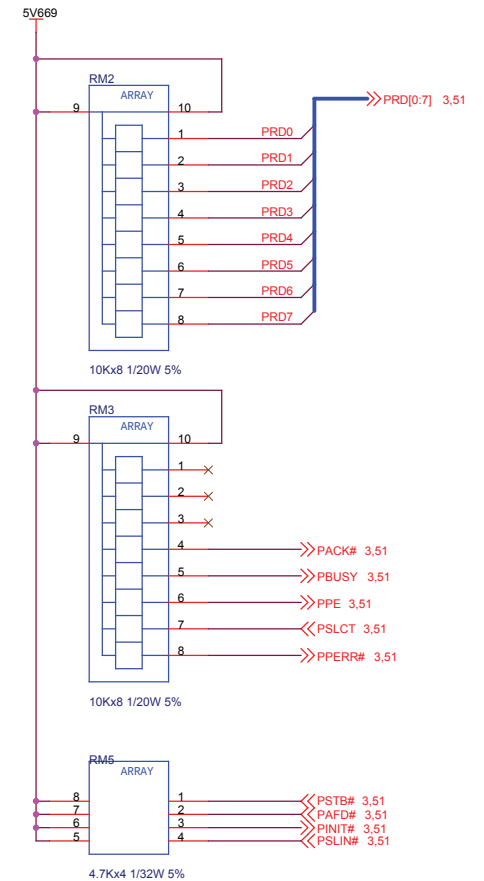
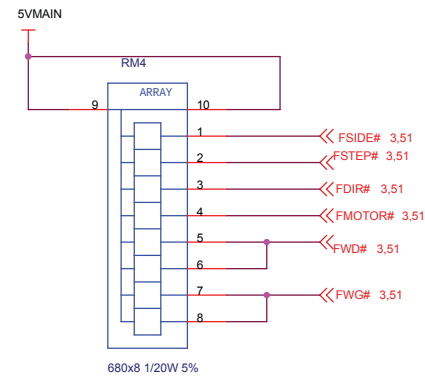
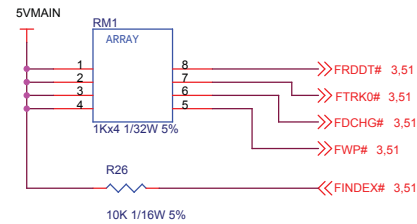
								名 称	ANISE-E2 04			G
								図 号	C1CP051300-X4	提出先		
								番 号				
版	年 月	設計	調査	承認	変 更 内			富士通株式会社			4 / 81	
設計				調査			承認					



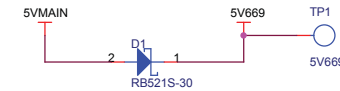
Connector Board I/F

名	ANISE-E2 04
図	C1CP051300-X4
番	提出先
版	設計
年	設計
月	設計
設計	承認
調査	承認
変更	承認
内	承認
富士通株式会社	5 / 81

FLOPPY関連信号のPULL UP
上記の集合抵抗および抵抗はSUPER
I/O (FDC37N769)
FDDに配置すること。
Above register array and register must be placed near
super I/O chip (FDC37N769) and routed with short trace from it.



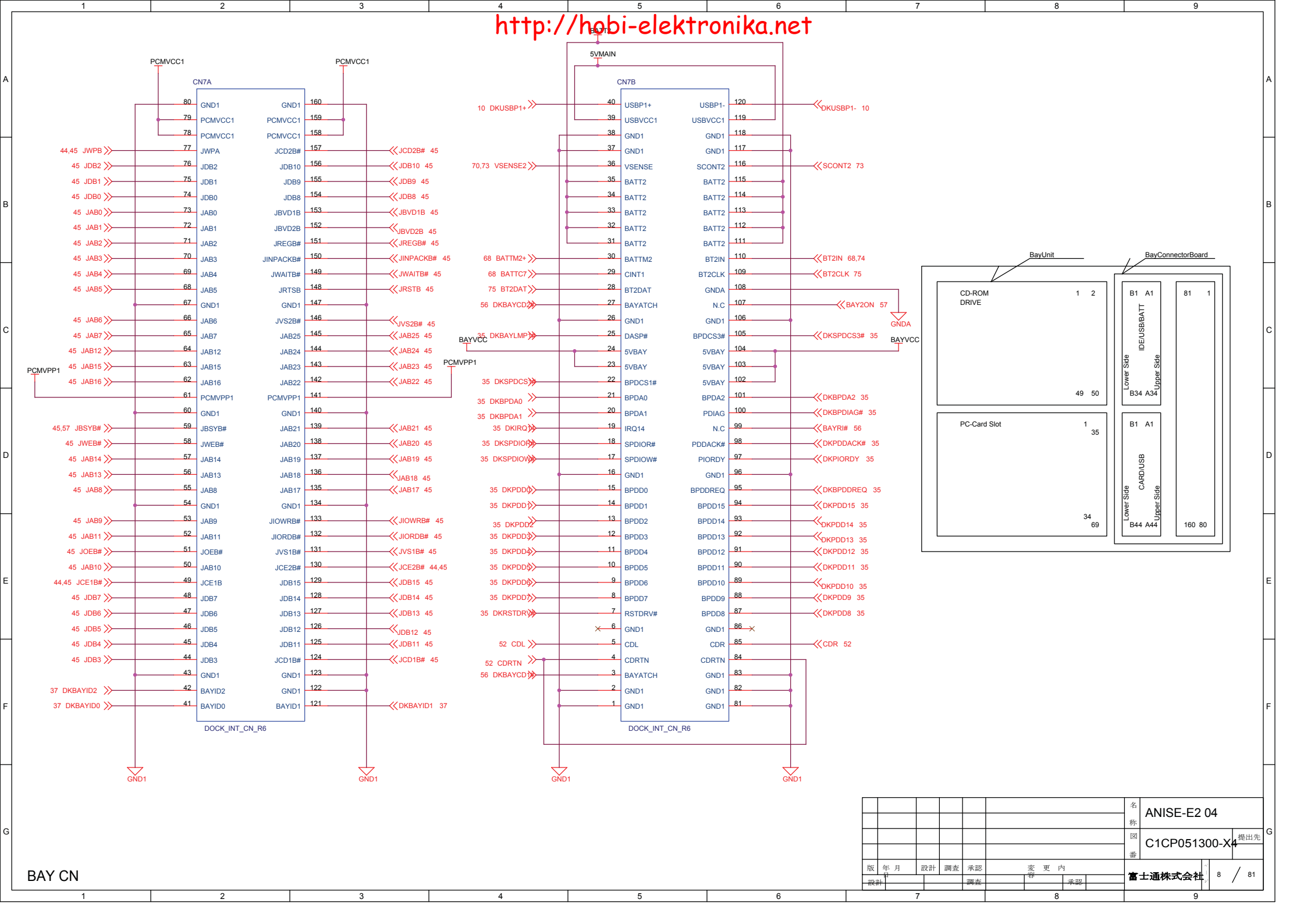
PARARELL関連信号のPULL UP



FDD,PRINTER PULL UP

名	ANISE-E2 04	提出先
図	C1CP051300-X4	
番		
版	年月	設計
設計	調査	承認
変更	承認	
富士通株式会社	6	81





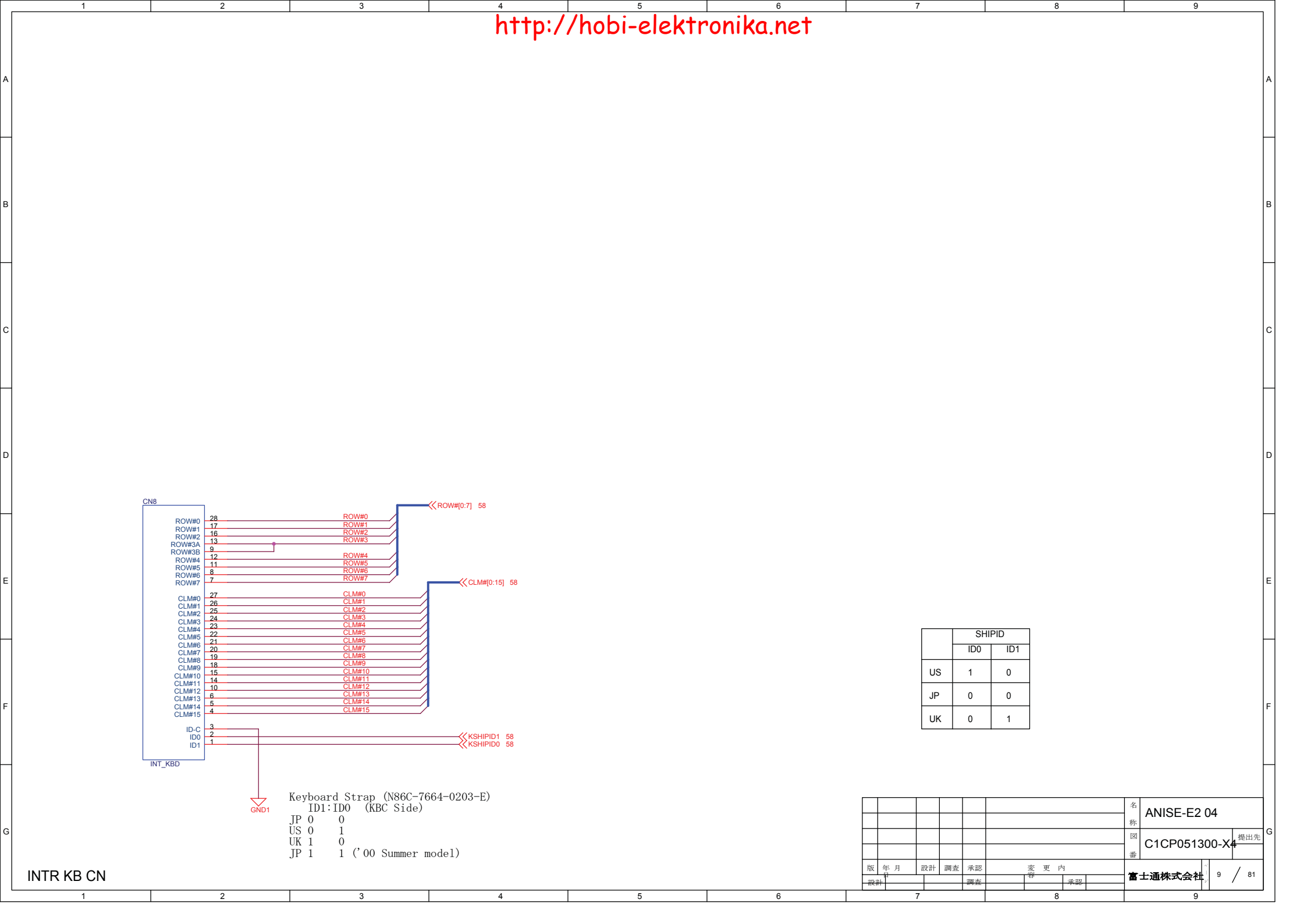
http://hobi-elektronika.net

BayUnit

BayConnectorBoard

Table:

名	ANISE-E2 04				提出先	富士通株式会社	8 / 81
図	C1CP051300-X4				承認		
番					承認		
版	年月	設計	調査	承認	変更	承認	
設計							



<http://hobi-elektronika.net>

A
B
C
D
E
F
G

CN8

ROW#0
ROW#1
ROW#2
ROW#3A
ROW#3B
ROW#4
ROW#5
ROW#6
ROW#7

CLM#0
CLM#1
CLM#2
CLM#3
CLM#4
CLM#5
CLM#6
CLM#7
CLM#8
CLM#9
CLM#10
CLM#11
CLM#12
CLM#13
CLM#14
CLM#15

ID-C
ID0
ID1

INT_KBD

GND1

Keyboard Strap (N86C-7664-0203-E)
ID1: ID0 (KBC Side)

JP 0 0
US 0 1
UK 1 0
JP 1 1 ('00 Summer model)

INTR KB CN

<< ROW#[0:7] 58

<< CLM#[0:15] 58

>> KSHIPID1 58

>> KSHIPID0 58

	SHIPID	
	ID0	ID1
US	1	0
JP	0	0
UK	0	1

版	年月	設計	調査	承認	変更	内	富士通株式会社	提出先	番
設計								9 / 81	

名 称 ANISE-E2 04
図 号 C1CP051300-X4
番 号

<http://hobi-elektronika.net>

123456789

ABCDEFG

CN8
 ROW#0
ROW#1
ROW#2
ROW#3A
ROW#3B
ROW#4
ROW#5
ROW#6
ROW#7

 CLM#0
CLM#1
CLM#2
CLM#3
CLM#4
CLM#5
CLM#6
CLM#7
CLM#8
CLM#9
CLM#10
CLM#11
CLM#12
CLM#13
CLM#14
CLM#15

 ID-C
ID0
ID1

INT_KBD

28
17
16
13
9
12
11
8
7

ROW#0
ROW#1
ROW#2
ROW#3

ROW#4
ROW#5
ROW#6
ROW#7

27
26
25
24
23
22
21
20
19
18
15
14
10
6
5
4

CLM#0
CLM#1
CLM#2
CLM#3
CLM#4
CLM#5
CLM#6
CLM#7
CLM#8
CLM#9
CLM#10
CLM#11
CLM#12
CLM#13
CLM#14
CLM#15

3
2
1
ID-C
ID0
ID1

28
17
16
13
9
12
11
8
7

ROW#0
ROW#1
ROW#2
ROW#3

ROW#4
ROW#5
ROW#6
ROW#7

27
26
25
24
23
22
21
20
19
18
15
14
10
6
5
4

CLM#0
CLM#1
CLM#2
CLM#3
CLM#4
CLM#5
CLM#6
CLM#7
CLM#8
CLM#9
CLM#10
CLM#11
CLM#12
CLM#13
CLM#14
CLM#15

3
2
1
ID-C
ID0
ID1

<< ROW#[0:7] 58

<< CLM#[0:15] 58

<< KSHIPID1 58
<< KSHIPID0 58

GND1

Keyboard Strap (N86C-7664-0203-E)

ID1:ID0 (KBC Side)

JP	0	0
US	0	1
UK	1	0
JP	1	1 ('00 Summer model)

INTR KB CN

			SHIPID	
			ID0	ID1
US	1	0		
JP	0	0		
UK	0	1		

版	年	月	設計	調査	承認	変 更 内	
設計				調査		変 更	承認

名 称		ANISE-E2 04	
図 番		C1CP051300-X4	
提出先			
富士通株式会社		9 / 81	

<http://hobi-elektronika.net>

123456789

ABCDEFG

123456789

ABCDEFG

123456789

ABCDEFG

123456789

ABCDEFG

123456789

ABCDEFG

123456789

ABCDEFG

123456789

ABCDEFG

123456789

ABCDEFG

123456789

ABCDEFG

123456789

ABCDEFG

123456789

ABCDEFG

123456789

ABCDEFG

123456789

ABCDEFG

123456789

ABCDEFG

123456789

ABCDEFG

123456789

ABCDEFG

123456789

ABCDEFG

123456789

ABCDEFG

123456789

ABCDEFG

123456789

ABCDEFG

123456789

ABCDEFG

123456789

ABCDEFG

123456789

ABCDEFG

123456789

ABCDEFG

123456789

ABCDEFG

123456789

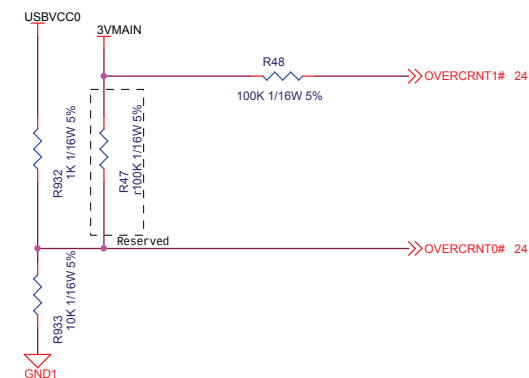
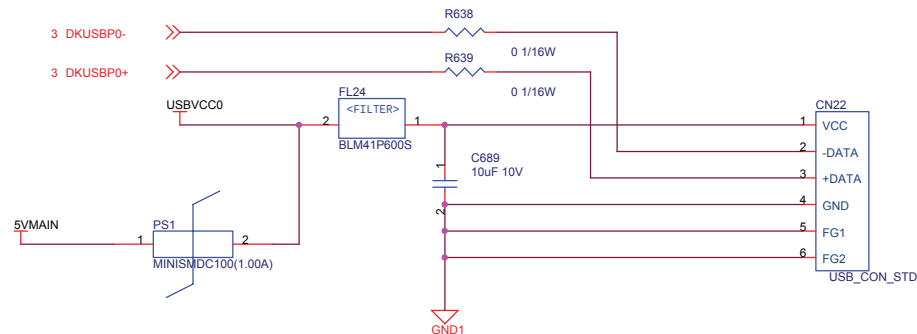
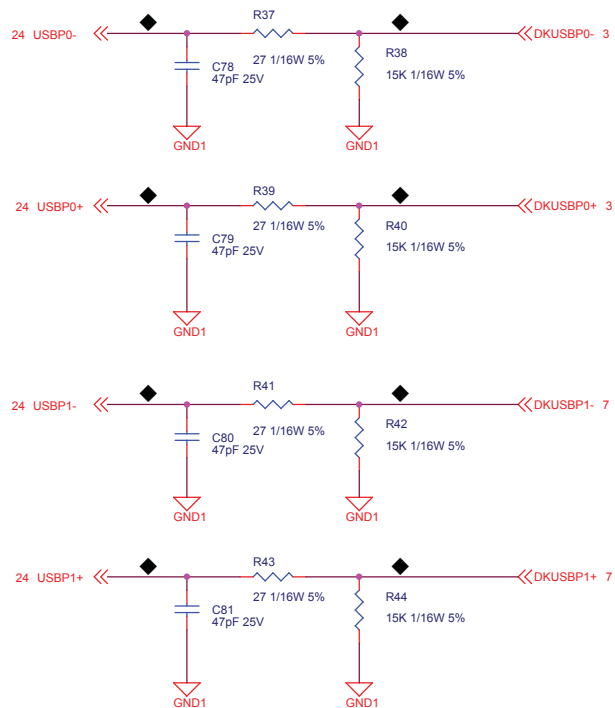
ABCDEFG

123456789

ABCDEFG

123456789

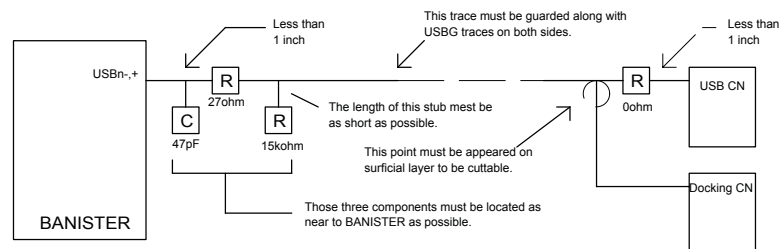
ABCDEFG



本項中◆印のついたパターンは、通常の信号線の0.2mmの太さで配線すること。
また、本信号はGND1でガードし、その上下はGND1のベタパターンで覆うこと。

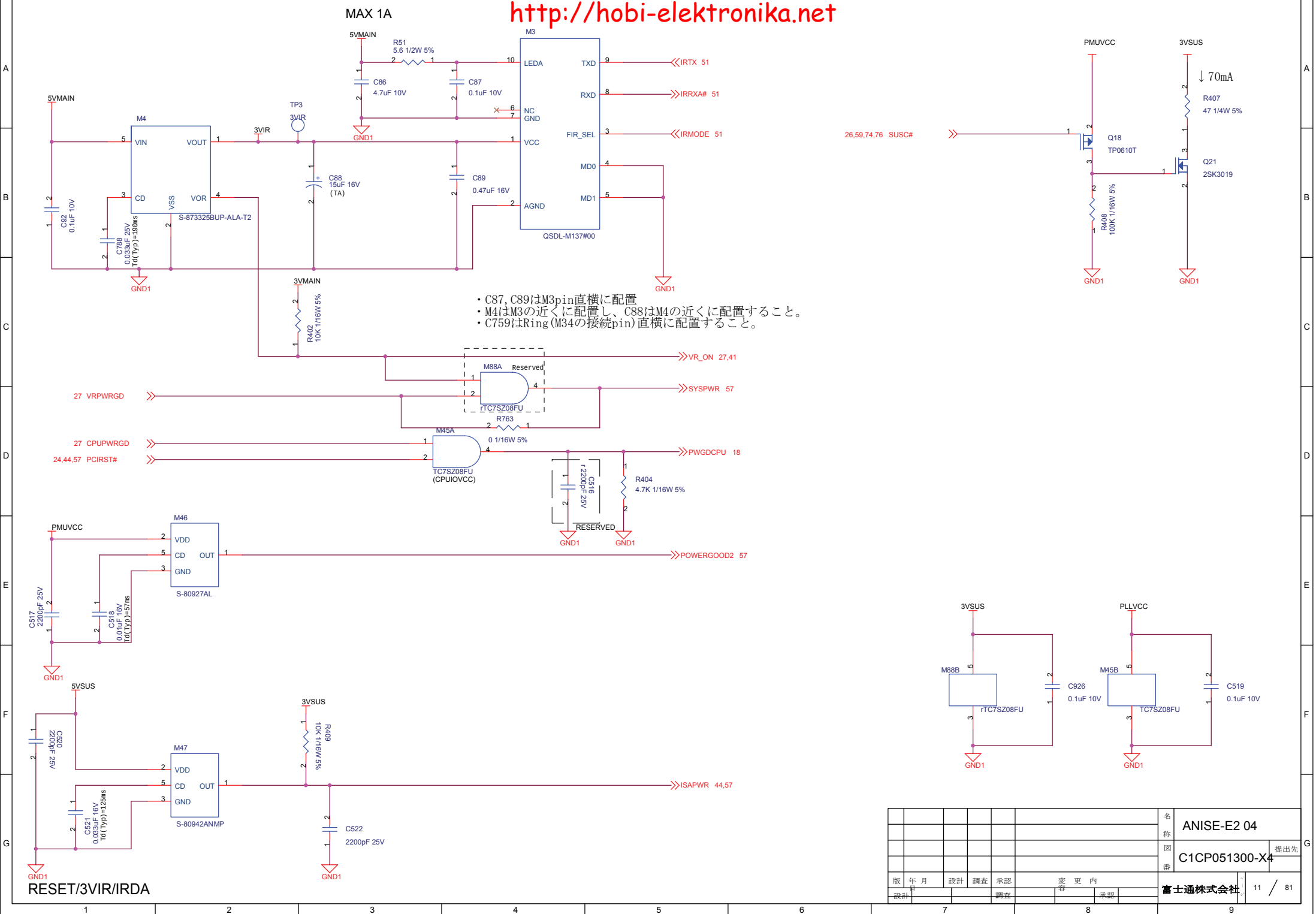
[NOTE] : CTL is control(input) function : Noninverting TTL control input.
High(>1.8V typical)=On, Low(<1.6V typical)=Off.

The following guideline is applied to USB signal traces.



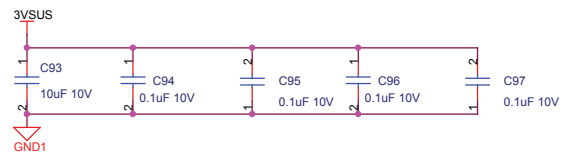
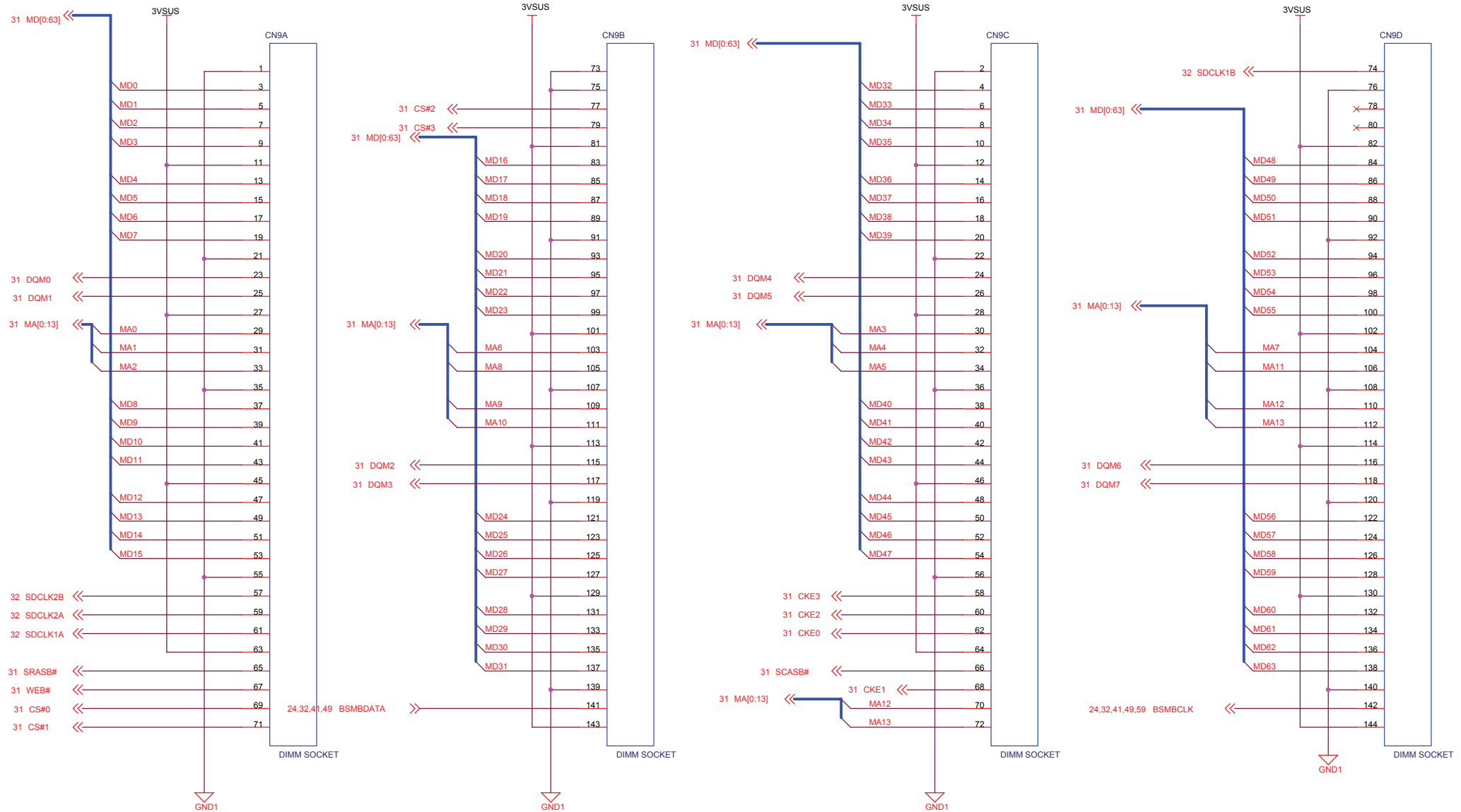
USB POW

							名称	ANISE-E2 04			
							図	C1CP051300-X4		提出先	
							番				
版	年	月	設計	調査	承認	変更内					
設計				調査		承認			富士通株式会社	10	81



						名称 图 番	ANISE-E2 04		提出先
							C1CP051300-X4		
版	年 月	設計	調査	承認	変 更 内				
設計			調査		承認	富士通株式会社	11	/	81

<http://hobi-elektronika.net>
SO-DIMM SLOT (FOR EXPANSION MEMORY)

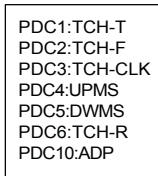


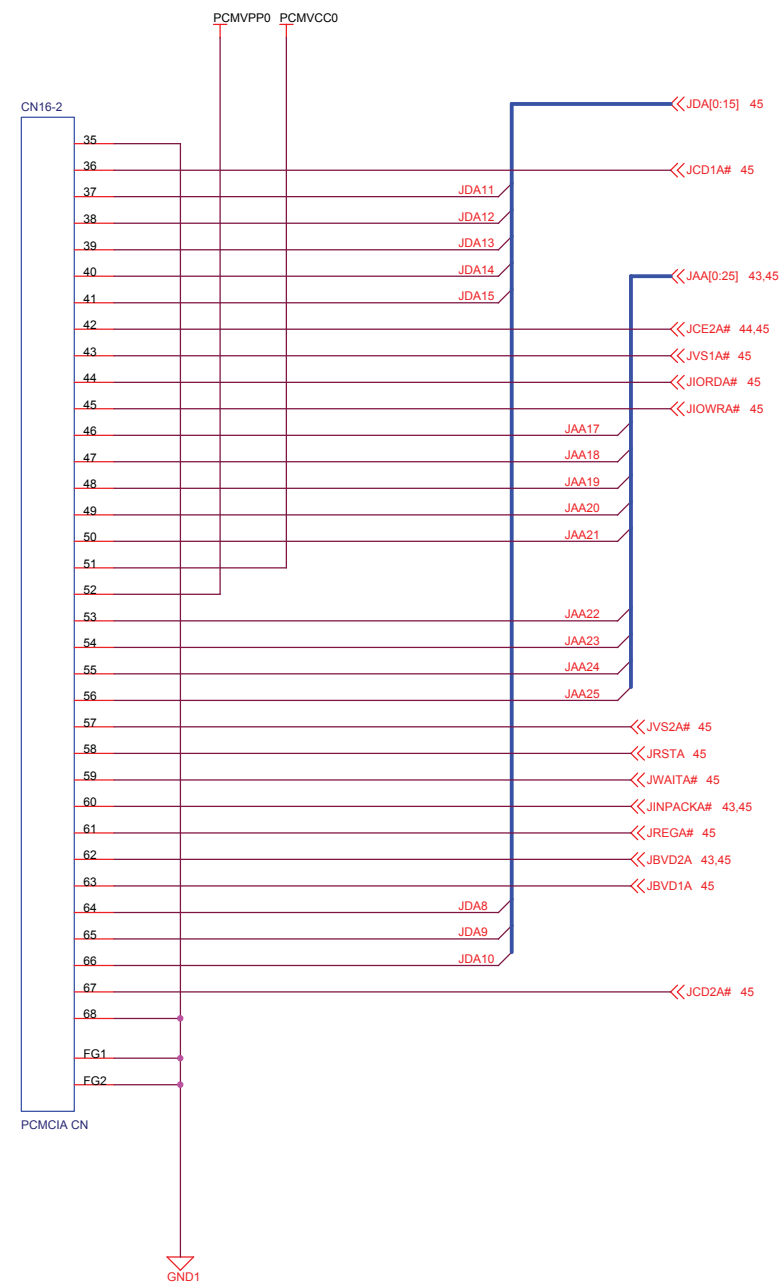
上記のコンデンサはDIMMスロットの電源端子の近くに配置・配線すること B

Dimm Slot

						名	ANISE-E2 04		
						称			
						図	C1CP051300-X4		提出先
						番			
版	年 月	設計	調査	承認	変 更 内				
設計			調査		承認		富士通株式会社		
								12	81



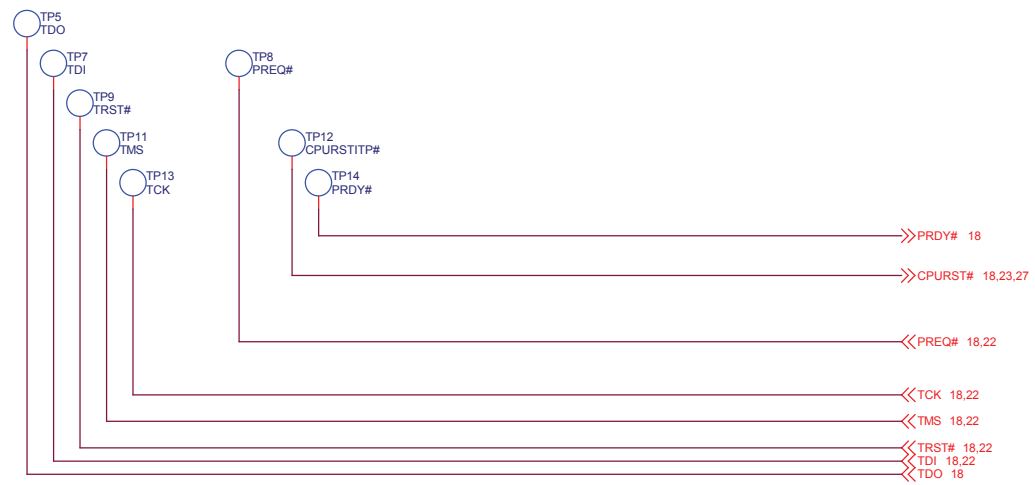
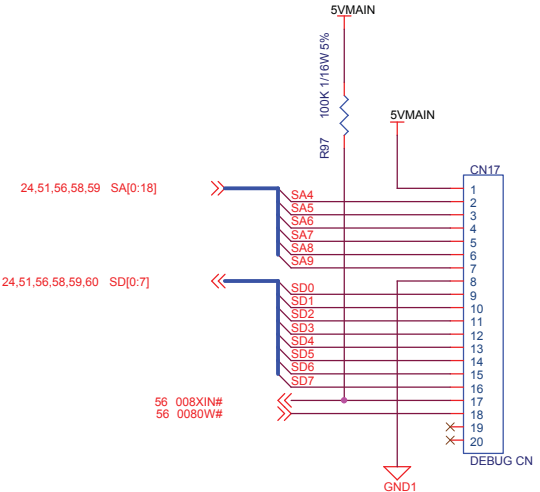




									名	ANISE-E2 04		
									称			
									図	C1CP051300-X4	提出先	
									番			
版	年 月	設計	調査	承認	変 更 内							
設計				調査		変更	承認		富士通株式会社			
									15 /		81	

PCMCIA SLOT

**TP5-TP14はCeleron CPU M6 接続先PAD直裏付近、実装のこと。



本ページ記載のコネクタはデバッグの為のものである。
なるべくコネクタの配置は、基板端にすること。
もし実装上困難であれば、上記コネクタの形状変更を検討しますので、別途相談願います。

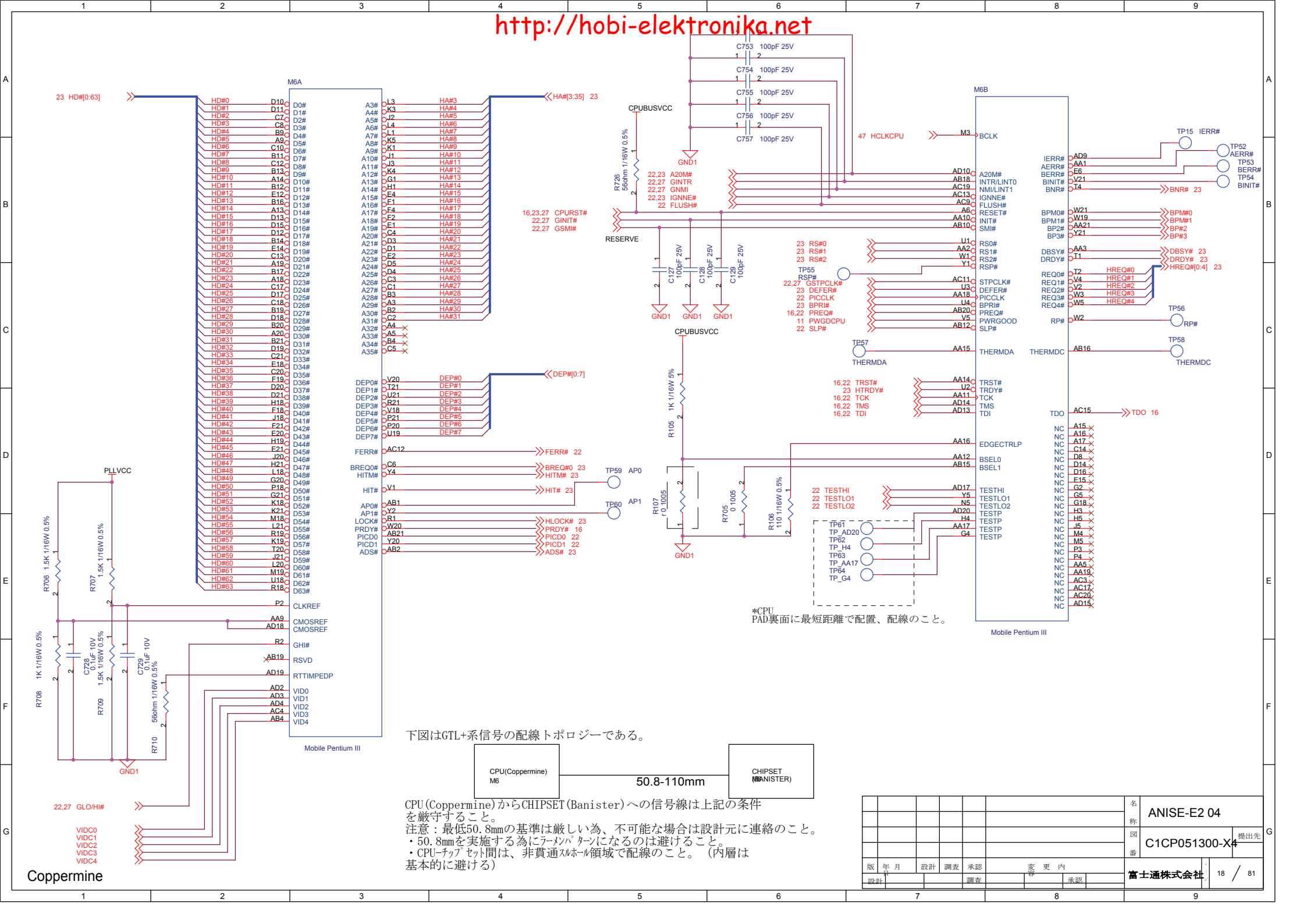
DEBUG CN

									名	ANISE-E2 04	
									称		
									図	C1CP051300-X#	提出先
									番		
版	年 月	設計	調査	承認		変 更 内			富士通株式会社		
設計				調査		変 更	承認			16 / 81	

1	2	3	4	5	6	7	8	9
A								A
B								B
C								C
D								D
E								E
F								F
G								G

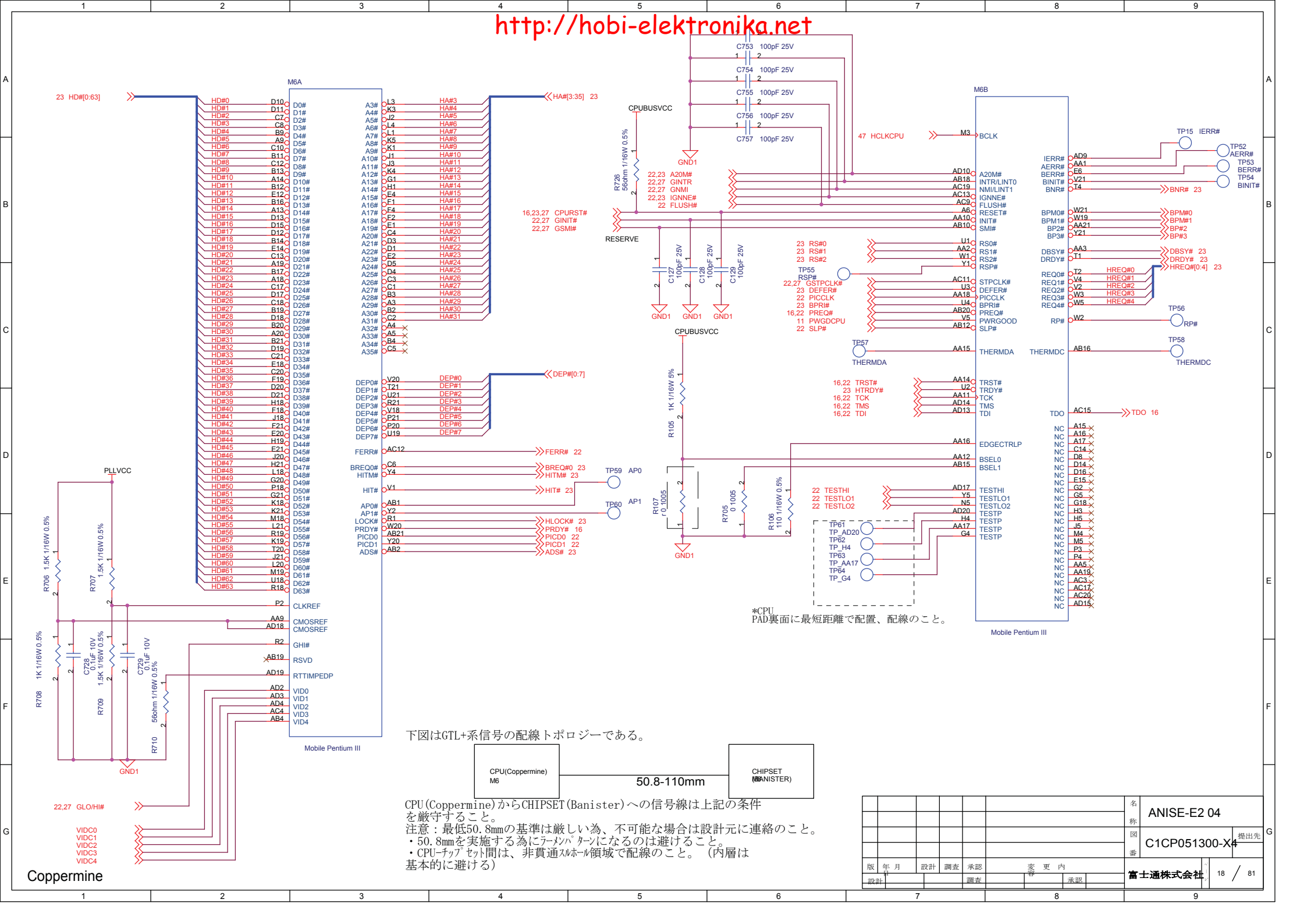
CPU TEMP. MONITOR

						名	ANISE-E2 04	
						称		
						图	C1CP051300-X4	提出先
						番		
版	年 月	設計	調査	承認		変 更 内	富士通株式会社	17 / 81
設計			調査			管 承認		



http://hobi-elektronika.net

The diagram illustrates the electrical connections for a Mobile Pentium III system board. It shows the CPU (Coppermine) connected to the Chipset (Banister) via a 50.8-110mm signal line. The board includes various components such as resistors (R706, R707, R708, R709, R710, R725, R726, R727, R728, R729, R730, R731, R732, R733, R734, R735, R736, R737, R738, R739, R740, R741, R742, R743, R744, R745, R746, R747, R748, R749, R750, R751, R752, R753, R754, R755, R756, R757, R758, R759, R760, R761, R762, R763, R764, R765, R766, R767, R768, R769, R770, R771, R772, R773, R774, R775, R776, R777, R778, R779, R780, R781, R782, R783, R784, R785, R786, R787, R788, R789, R790, R791, R792, R793, R794, R795, R796, R797, R798, R799, R800, R801, R802, R803, R804, R805, R806, R807, R808, R809, R810, R811, R812, R813, R814, R815, R816, R817, R818, R819, R820, R821, R822, R823, R824, R825, R826, R827, R828, R829, R830, R831, R832, R833, R834, R835, R836, R837, R838, R839, R840, R841, R842, R843, R844, R845, R846, R847, R848, R849, R850, R851, R852, R853, R854, R855, R856, R857, R858, R859, R860, R861, R862, R863, R864, R865, R866, R867, R868, R869, R870, R871, R872, R873, R874, R875, R876, R877, R878, R879, R880, R881, R882, R883, R884, R885, R886, R887, R888, R889, R890, R891, R892, R893, R894, R895, R896, R897, R898, R899, R900, R901, R902, R903, R904, R905, R906, R907, R908, R909, R910, R911, R912, R913, R914, R915, R916, R917, R918, R919, R920, R921, R922, R923, R924, R925, R926, R927, R928, R929, R930, R931, R932, R933, R934, R935, R936, R937, R938, R939, R940, R941, R942, R943, R944, R945, R946, R947, R948, R949, R950, R951, R952, R953, R954, R955, R956, R957, R958, R959, R960, R961, R962, R963, R964, R965, R966, R967, R968, R969, R970, R971, R972, R973, R974, R975, R976, R977, R978, R979, R980, R981, R982, R983, R984, R985, R986, R987, R988, R989, R990, R991, R992, R993, R994, R995, R996, R997, R998, R999, R1000, R1001, R1002, R1003, R1004, R1005, R1006, R1007, R1008, R1009, R1010, R1011, R1012, R1013, R1014, R1015, R1016, R1017, R1018, R1019, R1020, R1021, R1022, R1023, R1024, R1025, R1026, R1027, R1028, R1029, R1030, R1031, R1032, R1033, R1034, R1035, R1036, R1037, R1038, R1039, R1040, R1041, R1042, R1043, R1044, R1045, R1046, R1047, R1048, R1049, R1050, R1051, R1052, R1053, R1054, R1055, R1056, R1057, R1058, R1059, R1060, R1061, R1062, R1063, R1064, R1065, R1066, R1067, R1068, R1069, R1070, R1071, R1072, R1073, R1074, R1075, R1076, R1077, R1078, R1079, R1080, R1081, R1082, R1083, R1084, R1085, R1086, R1087, R1088, R1089, R1090, R1091, R1092, R1093, R1094, R1095, R1096, R1097, R1098, R1099, R1100, R1101, R1102, R1103, R1104, R1105, R1106, R1107, R1108, R1109, R1110, R1111, R1112, R1113, R1114, R1115, R1116, R1117, R1118, R1119, R1120, R1121, R1122, R1123, R1124, R1125, R1126, R1127, R1128, R1129, R1130, R1131, R1132, R1133, R1134, R1135, R1136, R1137, R1138, R1139, R1140, R1141, R1142, R1143, R1144, R1145, R1146, R1147, R1148, R1149, R1150, R1151, R1152, R1153, R1154, R1155, R1156, R1157, R1158, R1159, R1160, R1161, R1162, R1163, R1164, R1165, R1166, R1167, R1168, R1169, R1170, R1171, R1172, R1173, R1174, R1175, R1176, R1177, R1178, R1179, R1180, R1181, R1182, R1183, R1184, R1185, R1186, R1187, R1188, R1189, R1190, R1191, R1192, R1193, R1194, R1195, R1196, R1197, R1198, R1199, R1200, R1201, R1202, R1203, R1204, R1205, R1206, R1207, R1208, R1209, R1210, R1211, R1212, R1213, R1214, R1215, R1216, R1217, R1218, R1219, R1220, R1221, R1222, R1223, R1224, R1225, R1226, R1227, R1228, R1229, R1230, R1231, R1232, R1233, R1234, R1235, R1236, R1237, R1238, R1239, R1240, R1241, R1242, R1243, R1244, R1245, R1246, R1247, R1248, R1249, R1250, R1251, R1252, R1253, R1254, R1255, R1256, R1257, R1258, R1259, R1260, R1261, R1262, R1263, R1264, R1265, R1266, R1267, R1268, R1269, R1270, R1271, R1272, R1273, R1274, R1275, R1276, R1277, R1278, R1279, R1280, R1281, R1282, R1283, R1284, R1285, R1286, R1287, R1288, R1289, R1290, R1291, R1292, R1293, R1294, R1295, R1296, R1297, R1298, R1299, R1300, R1301, R1302, R1303, R1304, R1305, R1306, R1307, R1308, R1309, R1310, R1311, R1312, R1313, R1314, R1315, R1316, R1317, R1318, R1319, R1320, R1321, R1322, R1323, R1324, R1325, R1326, R1327, R1328, R1329, R1330, R1331, R1332, R1333, R1334, R1335, R1336, R1337, R1338, R1339, R1340, R1341, R1342, R1343, R1344, R1345, R1346, R1347, R1348, R1349, R1350, R1351, R1352, R1353, R1354, R1355, R1356, R1357, R1358, R1359, R1360, R1361, R1362, R1363, R1364, R1365, R1366, R1367, R1368, R1369, R1370, R1371, R1372, R1373, R1374, R1375, R1376, R1377, R1378, R1379, R1380, R1381, R1382, R1383, R1384, R1385, R1386, R1387, R1388, R1389, R1390, R1391, R1392, R1393, R1394, R1395, R1396, R1397, R1398, R1399, R1400, R1401, R1402, R1403, R1404, R1405, R1406, R1407, R1408, R1409, R1410, R1411, R1412, R1413, R1414, R1415, R1416, R1417, R1418, R1419, R1420, R1421, R1



http://hobi-elektronika.net

23 HD#[0:63]

23 RS#0

23 RS#1

23 RS#2

23 RS#3

23 RS#4

23 RS#5

23 RS#6

23 RS#7

23 RS#8

23 RS#9

23 RS#10

23 RS#11

23 RS#12

23 RS#13

23 RS#14

23 RS#15

23 RS#16

23 RS#17

23 RS#18

23 RS#19

23 RS#20

23 RS#21

23 RS#22

23 RS#23

23 RS#24

23 RS#25

23 RS#26

23 RS#27

23 RS#28

23 RS#29

23 RS#30

23 RS#31

23 RS#32

23 RS#33

23 RS#34

23 RS#35

23 RS#36

23 RS#37

23 RS#38

23 RS#39

23 RS#40

23 RS#41

23 RS#42

23 RS#43

23 RS#44

23 RS#45

23 RS#46

23 RS#47

23 RS#48

23 RS#49

23 RS#50

23 RS#51

23 RS#52

23 RS#53

23 RS#54

23 RS#55

23 RS#56

23 RS#57

23 RS#58

23 RS#59

23 RS#60

23 RS#61

23 RS#62

23 RS#63

23 RS#64

23 RS#65

23 RS#66

23 RS#67

23 RS#68

23 RS#69

23 RS#70

23 RS#71

23 RS#72

23 RS#73

23 RS#74

23 RS#75

23 RS#76

23 RS#77

23 RS#78

23 RS#79

23 RS#80

23 RS#81

23 RS#82

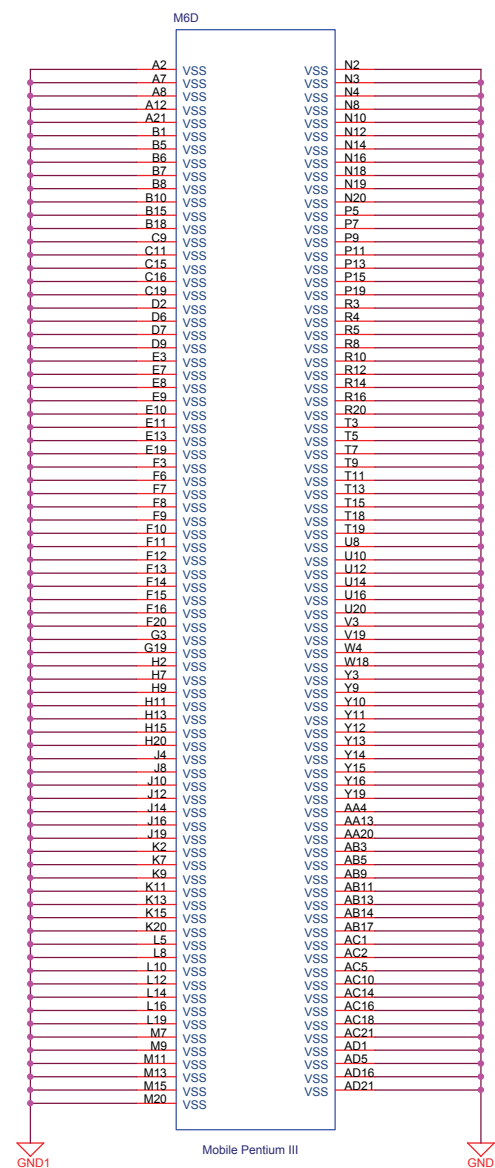
23 RS#83

23 RS#84

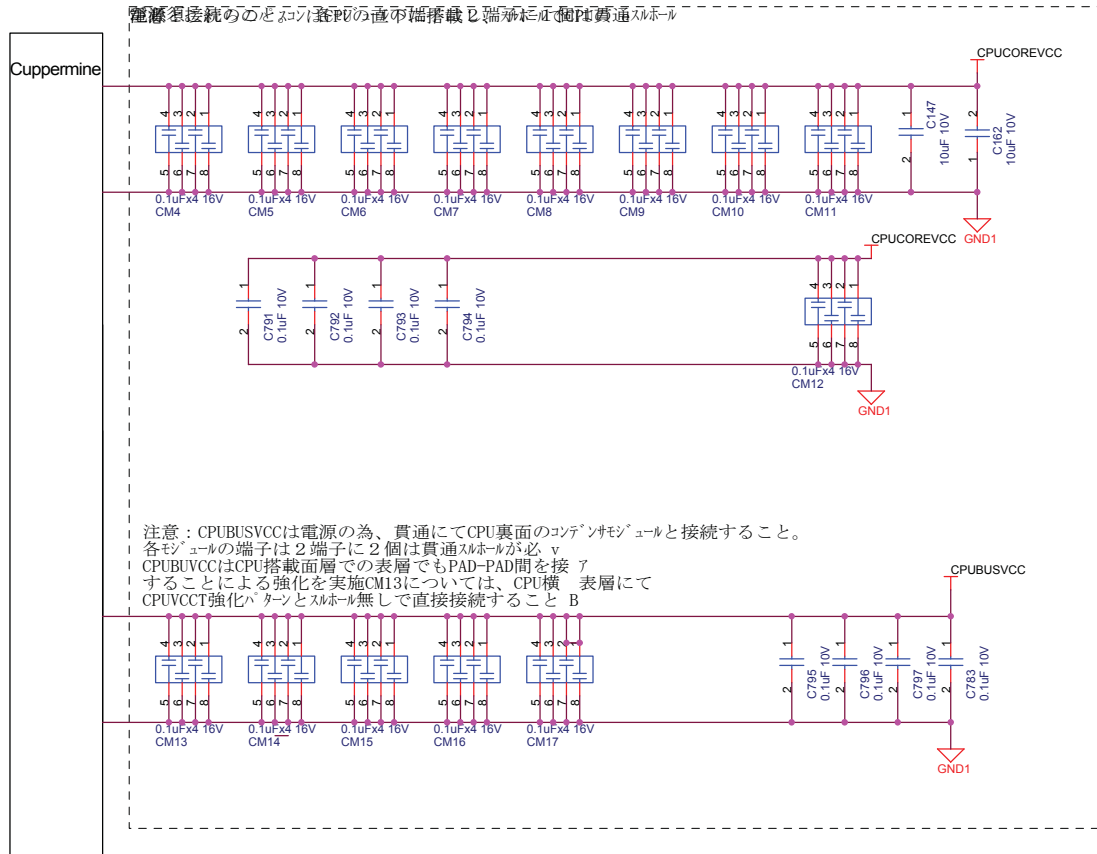
23 RS#85

23 RS#86

http://hobi-elektronika.net



(注) ・C132, L1は、CPUに最短距離で、通常の信号線の3倍の太さにて接続すること。(C132, L1の下にはクロック防止の為、他信号線を配置しないこと)
・C130, C131, R08, R109は、CPUに最短距離で配線すること。
VREF_GTLは、アナログ信号の為、Banisterまでの配線はGND1によるガードパターンを両サイド、上下層にて必要とする。

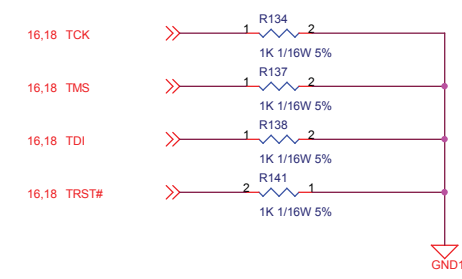
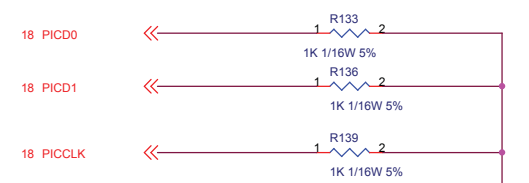
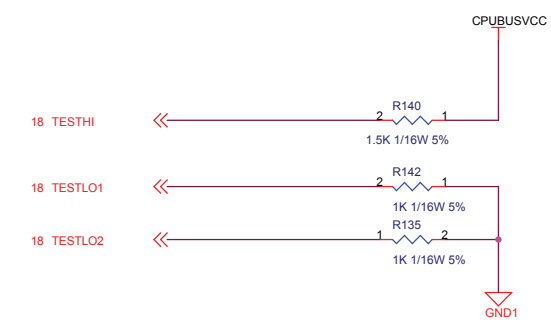


								名	ANISE-E2 04	
								図	C1CP051300-X4	提出先
								番		
版	年 月	設計	調査	承認		変 更	内			
設計				調査		変 更	承認		富士通株式会社	20 / 81

A										A
B										B
C										C
D										D
E										E
F										F
G										G

HOST Signals Pullups

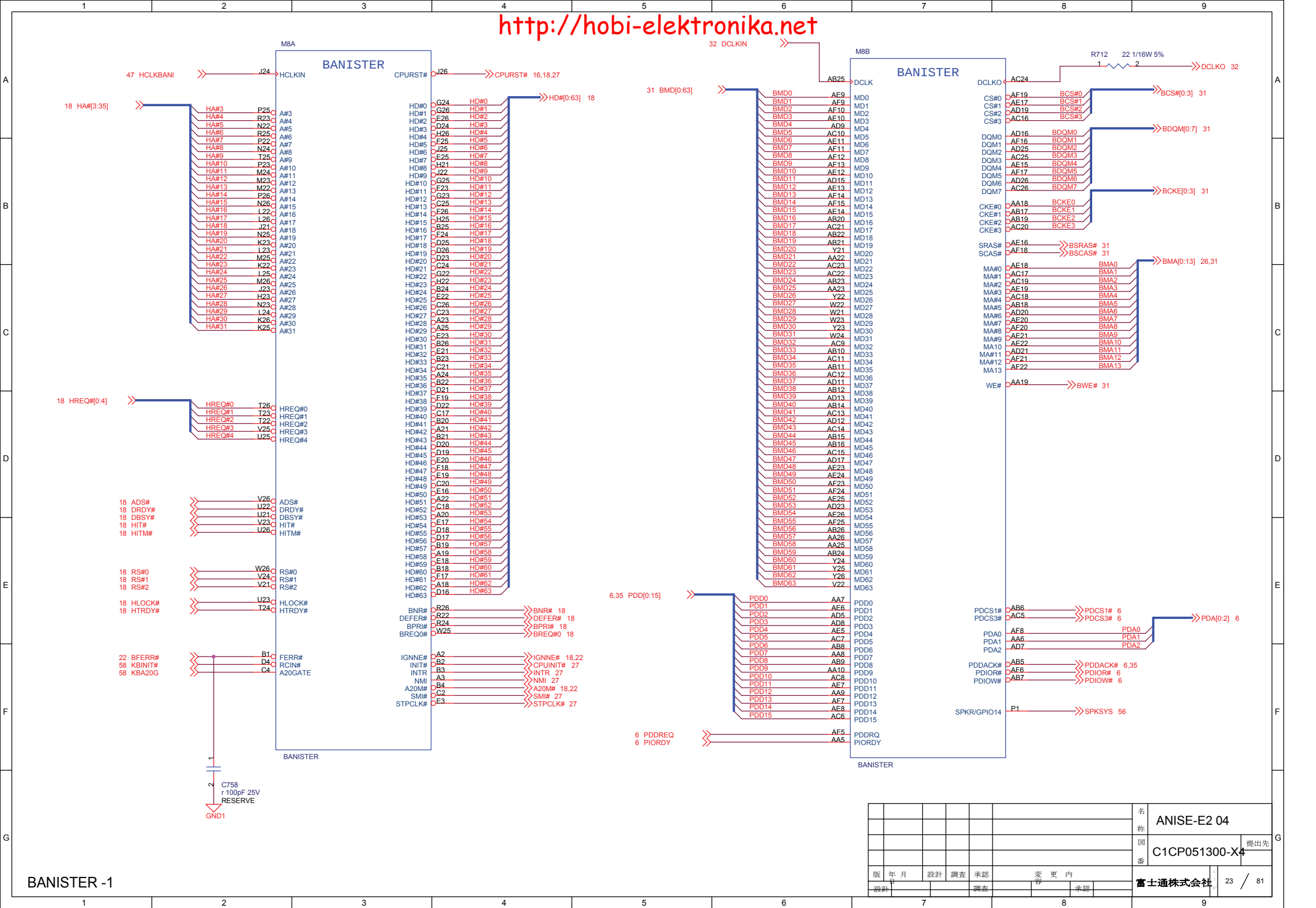
						名	ANISE-E2 04		
						称			
						图	C1CP051300-X4		提出先
						番			
版	年 月	設計	調査	承認	変 更 内			富士通株式会社	21 / 81
設計			調査		管	承認			



重要:
本ページ記載の抵抗については、特に記載が無い限り、CPUの
間近に配置・配線すること。

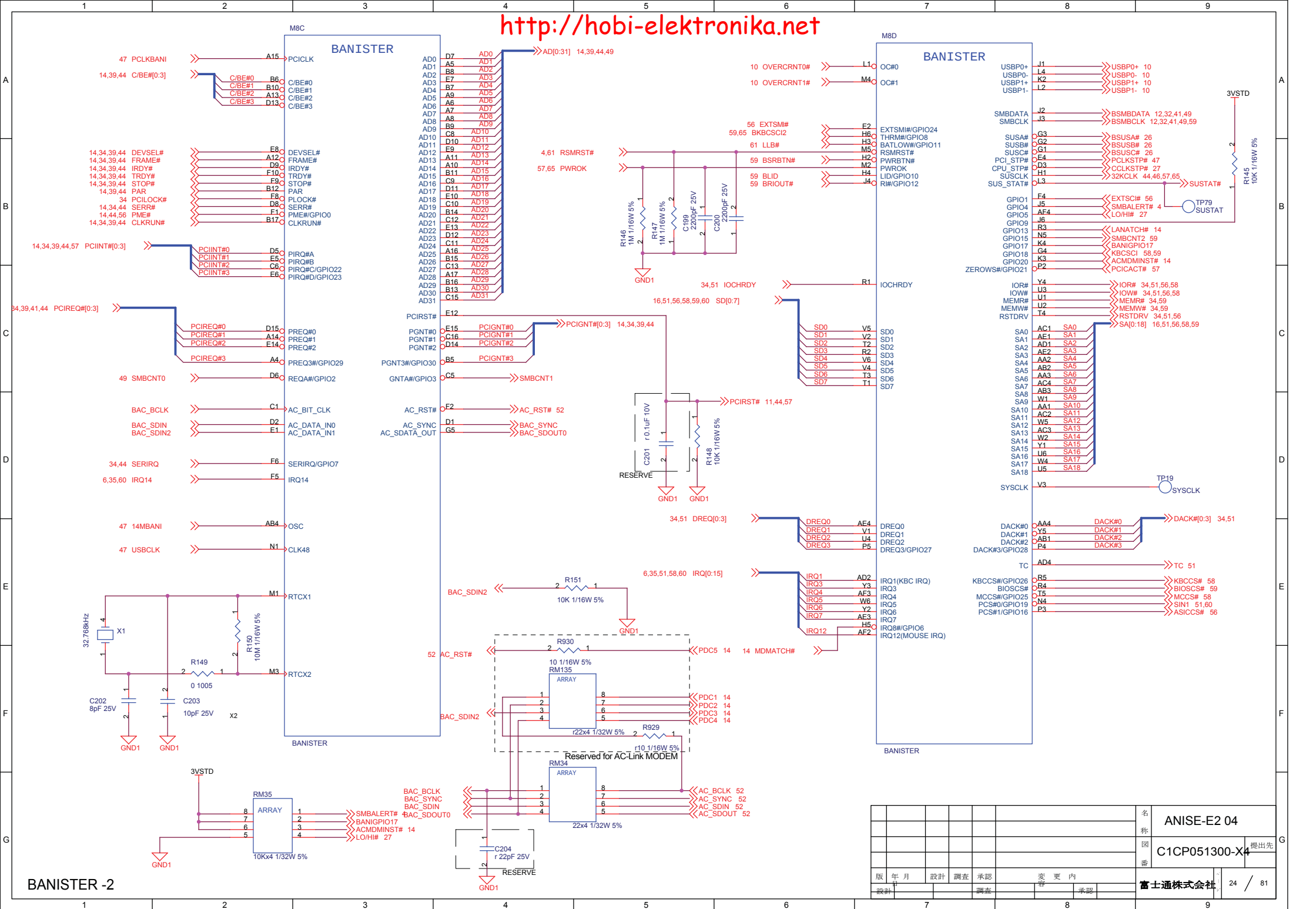
SideBand Signals Pull Up

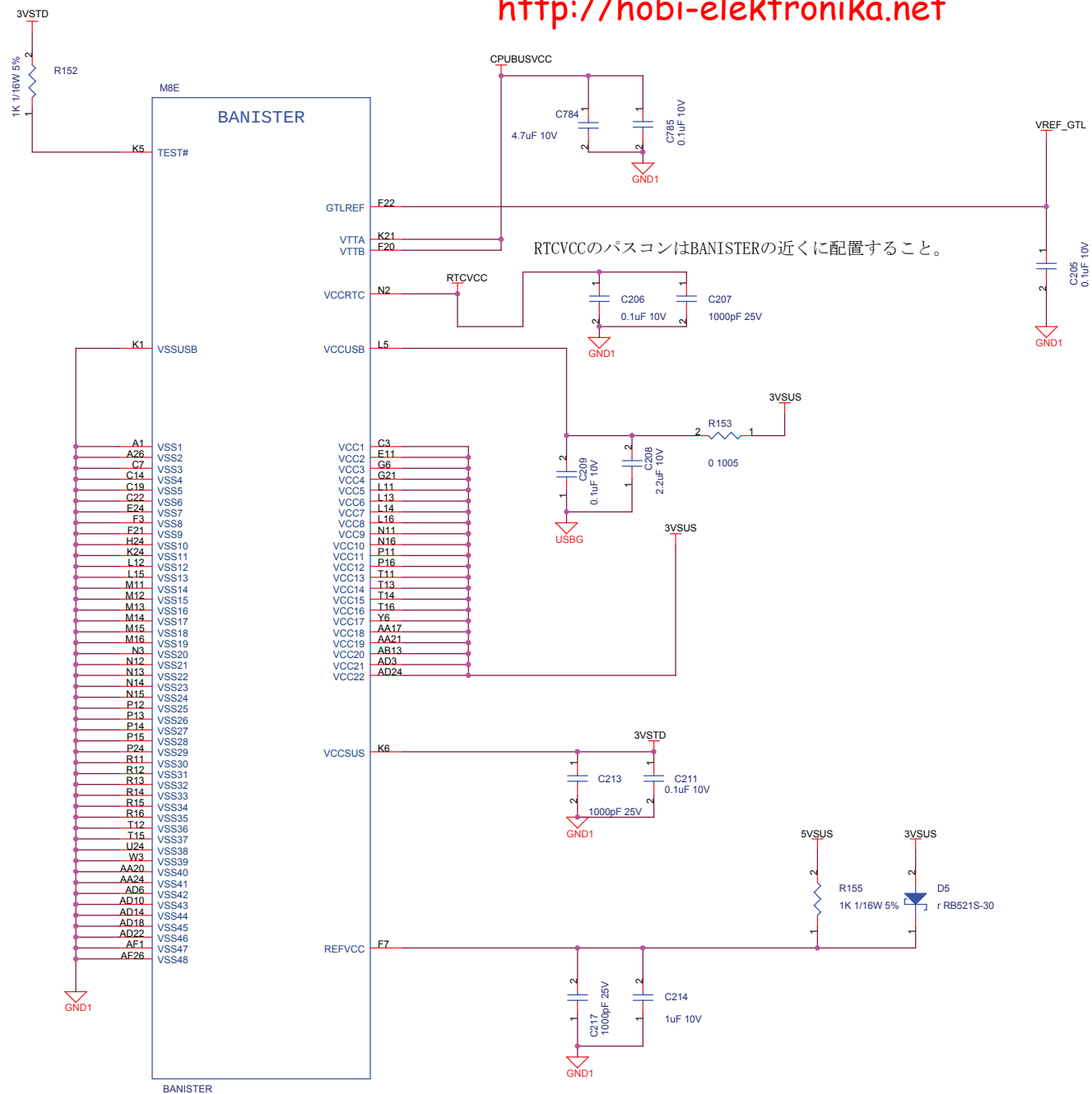
版	年月	設計	調査	承認	変更	承認	富士通株式会社	22 / 81
設計								
図								
名							ANISE-E2 04	
図							C1CP051300-X4	提出先
番								



BANISTER -1

				名	ANISE-E2 04	
				称		
				图	C1CP051300-X4	
				番	提出先	
版	年月	設計	調査	承認	変更	承認
設計						
富士通株式会社						23 / 81





							名	ANISE-E2 04		
							称			
							図	C1CP051300-X#	提出先	
							番			
版	年 月	設計	調査	承認	変 更 内					
設計					変 更	承認			富士通株式会社	25 / 81



	1	2	3
1	0	0	0
2	0	0	0
3	0	0	0



	1	2	3
1	0	0	0
2	0	0	0
3	0	0	0



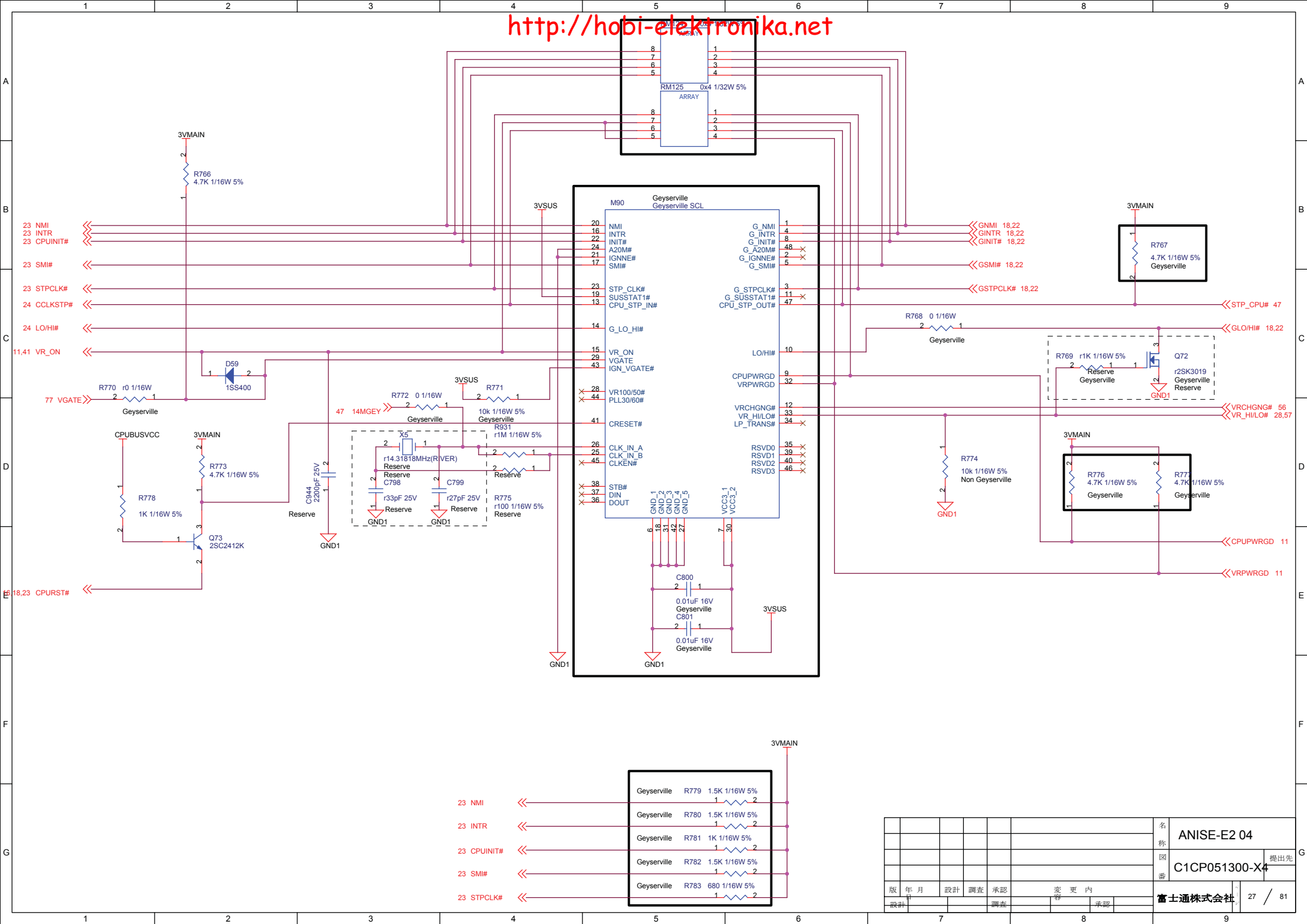
	1	2	3
1	0	0	0
2	0	0	0
3	0	0	0

	1	2	3
1	0	0	0
2	0	0	0
3	0	0	0

	1	2	3
1	0	0	0
2	0	0	0
3	0	0	0

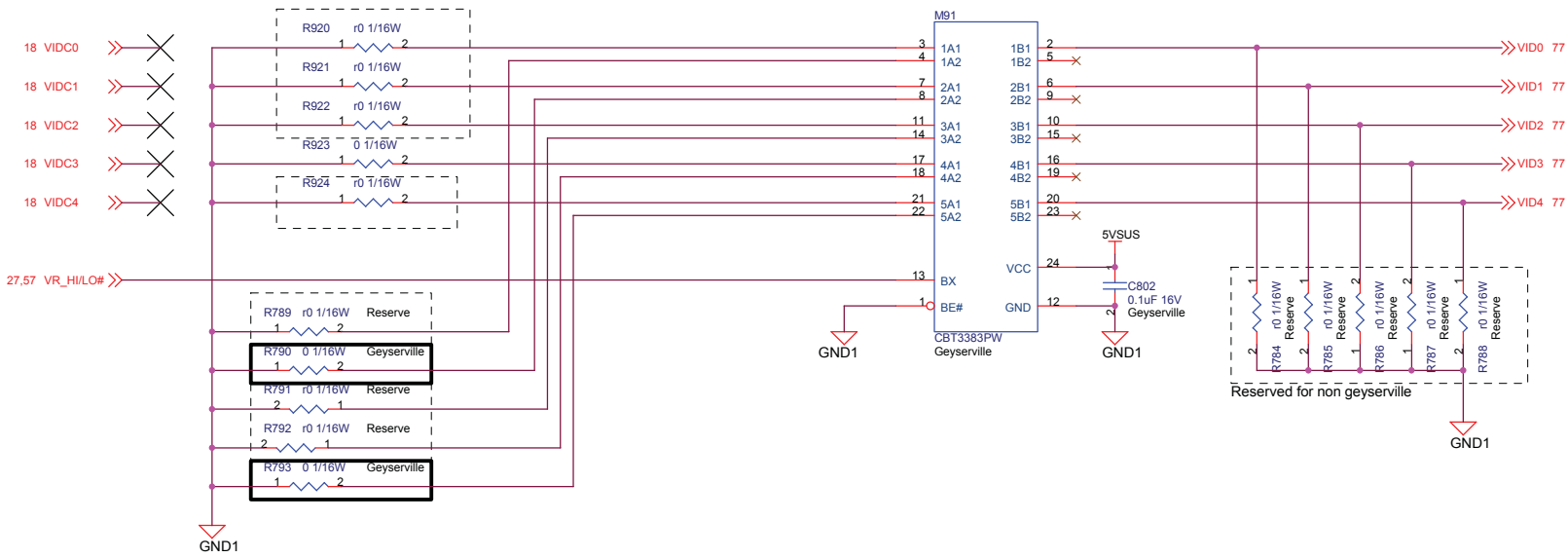
	1	2	3
1	0	0	0
2	0	0	0
3	0	0	0

	1	2	3
1	0	0	0
2	0	0	0
3	0	0	0



								名	ANISE-E2 04			G
								称				
								図	C1CP051300-X4			
								番				
版	年 月	設計	調査	承認	変 更 内			富士通株式会社			27 / 81	
設計			調査			承認						

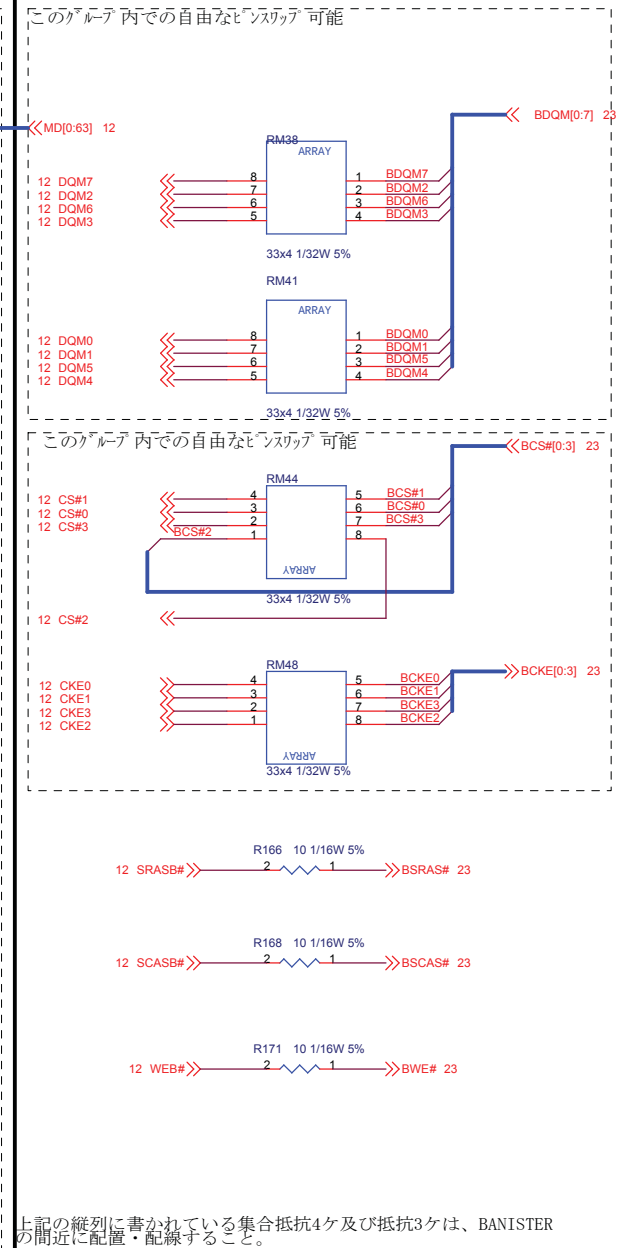
【このページの部品について】
CPUCoreVccの電源に比較的近いところにおくこと(そんなに近くおく必要はない)

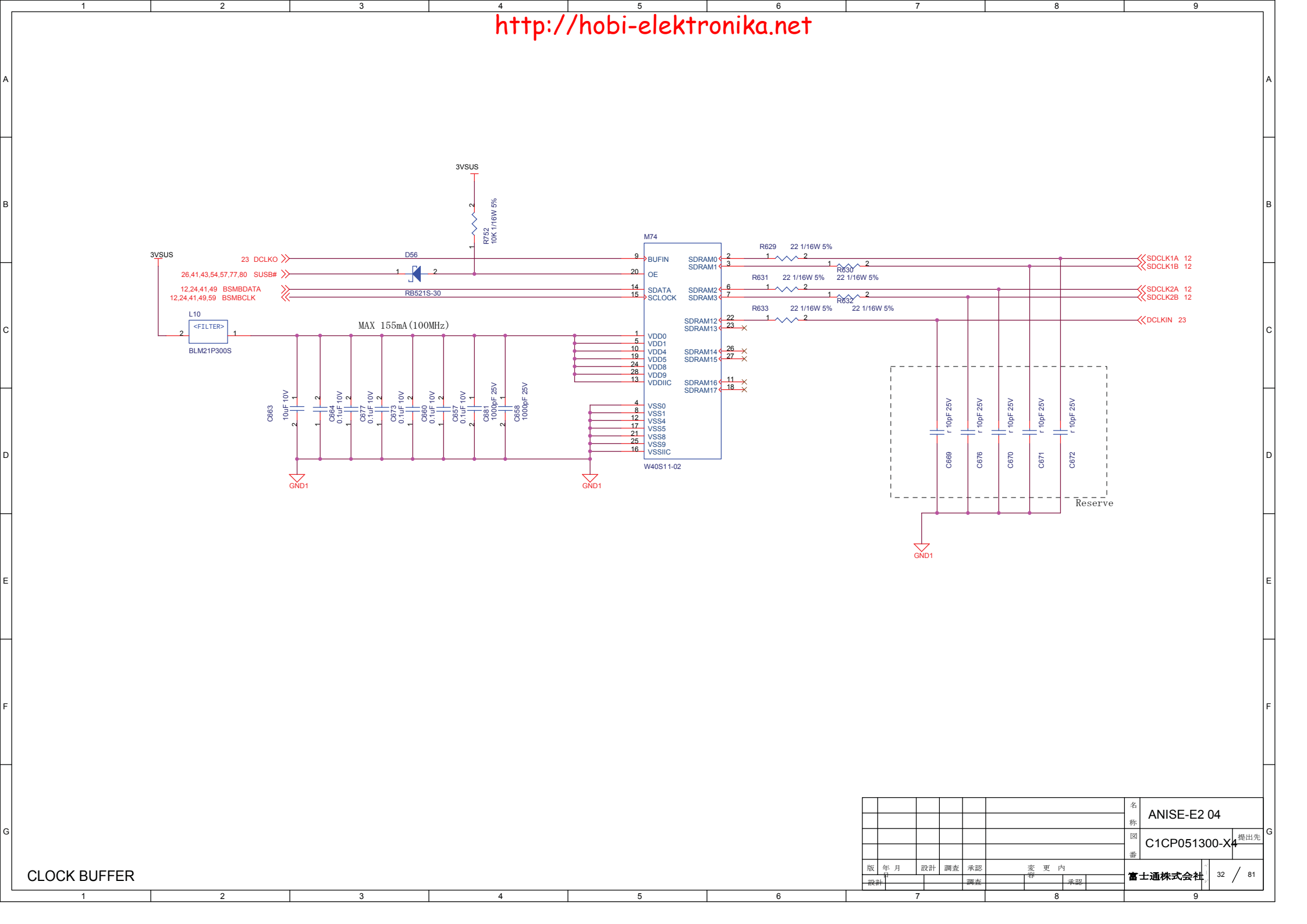


VID4	VID3	VID2	VID1	VID0	V
0	0	0	0	0	2.000
0	0	0	0	1	1.950
0	0	0	1	0	1.900
0	0	0	1	1	1.850
0	0	1	0	0	1.800
0	0	1	0	1	1.750
0	0	1	1	0	1.700
0	0	1	1	1	1.650
0	1	0	0	0	1.600
0	1	0	0	1	1.550
0	1	0	1	0	1.500
0	1	0	1	1	1.450
0	1	1	0	0	1.400
0	1	1	0	1	1.350
0	1	1	1	0	1.300
0	1	1	1	1	0(OFF)
1	0	0	0	0	1.275
1	0	0	0	1	1.250
1	0	0	1	0	1.225
1	0	0	1	1	1.200
1	0	1	0	0	1.175
1	0	1	0	1	1.150
1	0	1	1	0	1.125
1	0	1	1	1	1.100
1	1	0	0	0	1.075
1	1	0	0	1	1.050
1	1	0	1	0	1.025
1	1	0	1	1	1.000
1	1	1	0	0	0.975
1	1	1	0	1	0.950
1	1	1	1	0	0.925
1	1	1	1	1	0(OFF)

Celeron450 1.60V
PIII600LGV 1.35V - 1.10V

- SDRAM DUMPING

[illegible]



http://hobi-elektronika.net

CLOCK BUFFER

3VSUS

23 DCLKO

26,41,43,54,57,77,80 SUSB#

12,24,41,49 BSMBDATA

12,24,41,49,59 BSMBCLK

L10 <FILTER> BLM21P300S

MAX 155mA (100MHz)

C663 10uF 10V

C664 0.1uF 10V

C677 0.1uF 10V

C673 0.1uF 10V

C660 0.1uF 10V

C657 0.1uF 10V

C681 1000pF 25V

C658 1000pF 25V

GND1

3VSUS

R752 10K 1/16W 5%

D56 RB521S-30

M74 W40S11-02

9 BUFIN

20 OE

14 SDATA

15 SCLOCK

1 VDD0

10 VDD1

19 VDD4

24 VDD5

28 VDD8

13 VDD9

4 VDDIIC

8 VSS0

12 VSS1

17 VSS4

21 VSS5

25 VSS8

16 VSSIIC

SDRAM0

SDRAM1

SDRAM2

SDRAM3

SDRAM12

SDRAM13

SDRAM14

SDRAM15

SDRAM16

SDRAM17

R629 22 1/16W 5%

R631 22 1/16W 5%

R630 22 1/16W 5%

R633 22 1/16W 5%

R632 22 1/16W 5%

SDCLK1A 12

SDCLK1B 12

SDCLK2A 12

SDCLK2B 12

DCLKIN 23

C669 r 10pF 25V

C676 r 10pF 25V

C670 r 10pF 25V

C671 r 10pF 25V

C672 r 10pF 25V

Reserve

GND1

版	年	月	設計	調査	承認	変更	承認	内
設計								

ANISE-E2 04

C1CP051300-X4

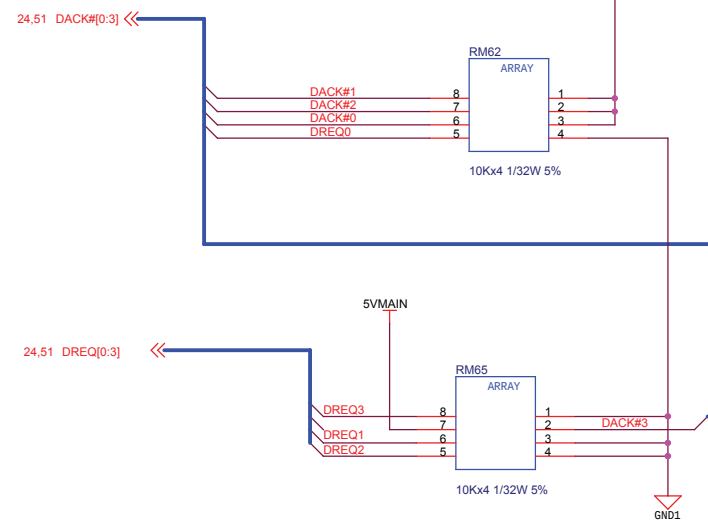
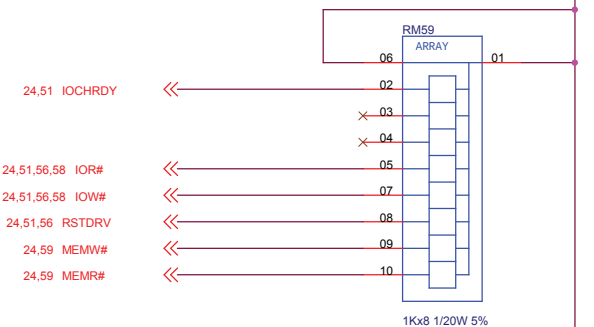
富士通株式会社

32 / 81

http://hobi-elektronika.net

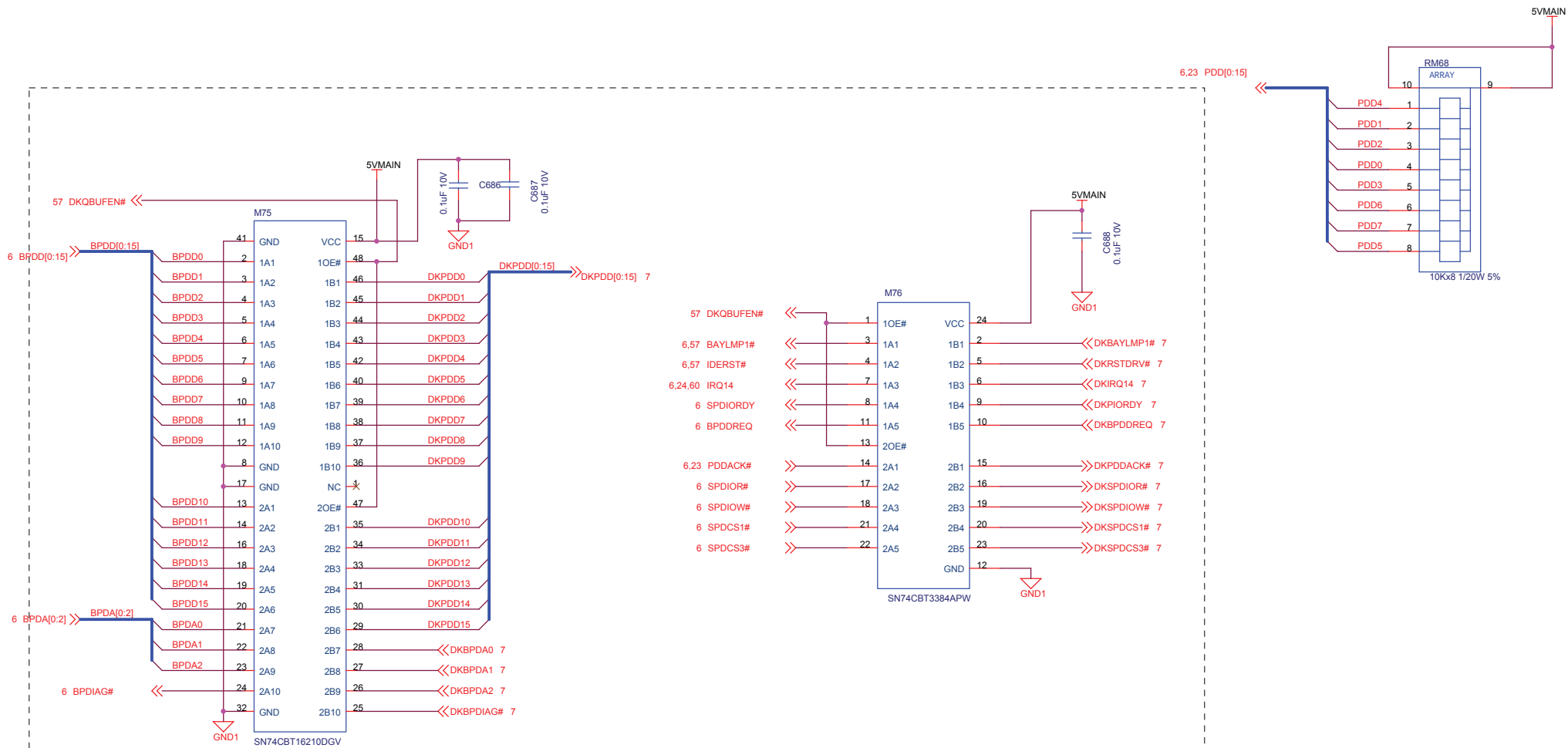
CLOCK BUFFER

									名	ANISE-E2 04		提出先
									図	C1CP051300-X4		
									番			
版	年 月	設計	調査	承認	変 更 内					富士通株式会社		
設計			調査		変 更	承認	32 / 81					



						名	ANISE-E2 04			
						称				
						図	C1CP051300-X4		提出	
						番				
版	年	月	設計	調査	承認	変 更 内				
設計				調査		審	査	承認	富士通株式会社	34 / 81

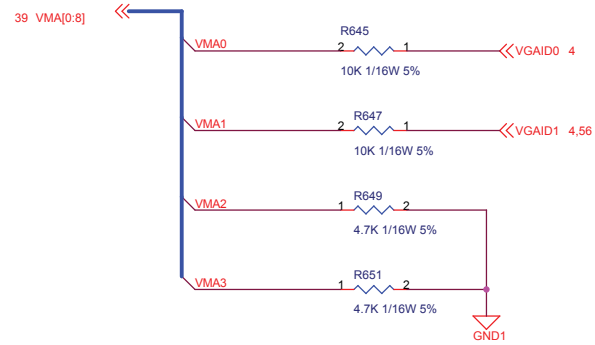
Pull ups for IDE(P)



M75, M76はCN7直裏付近に搭載のこと。
BPDDx, DKPDDxは左右の関係を保てばヒンズリ可。ヤ
注意：ヒンズリした場合は、設計元に書面通知すること B

IDE PULL UP

								名	ANISE-E2 04	
								図	C1CP051300-X4	
								番		
版	年	月	設計	調査	承認	変更			承認	富士通株式会社
設計						調査				35 / 81



VMA[3:0] Panel Type Select

TFT

0000=6x4-18

0001=8x6-18 (SVGA)

0010=10x7-18 (XGA)

0011=10x7-18+18

0100=12x10-18+18

0101=10x6-18+18

DSTN

1000=6x4-16

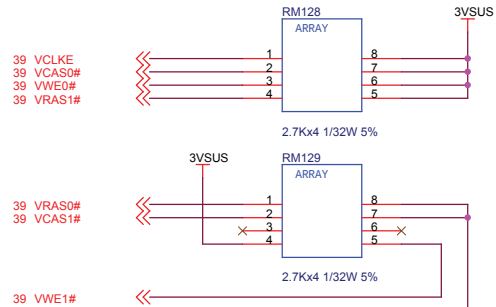
1001=8x6-16

1010=10x7-16

1011=10x7-24

1100=12x10-24

1101=10x6-24



VCAS0# Linear/Bank Addressing

0=linear only

1=linear/bank

VWE0# Clock source control

0=external

1=internal

VRAS1# Memory Mapped I/O Control

0=enable

1=disable

VRAS0# BIOS control

0=disabled

1=enabled

VCAS1# Host Bus Control

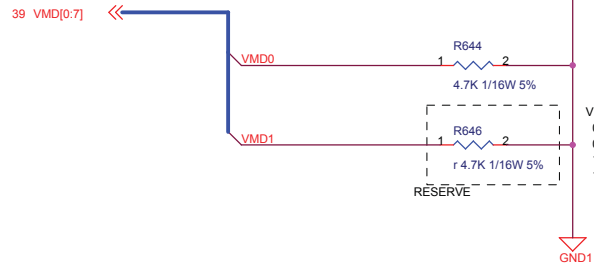
0=PCI

1=AGP

VWE1# IDSEL in AGP bus

0=AD17

1=AD16



VMD[1:0] Memory Clock Select

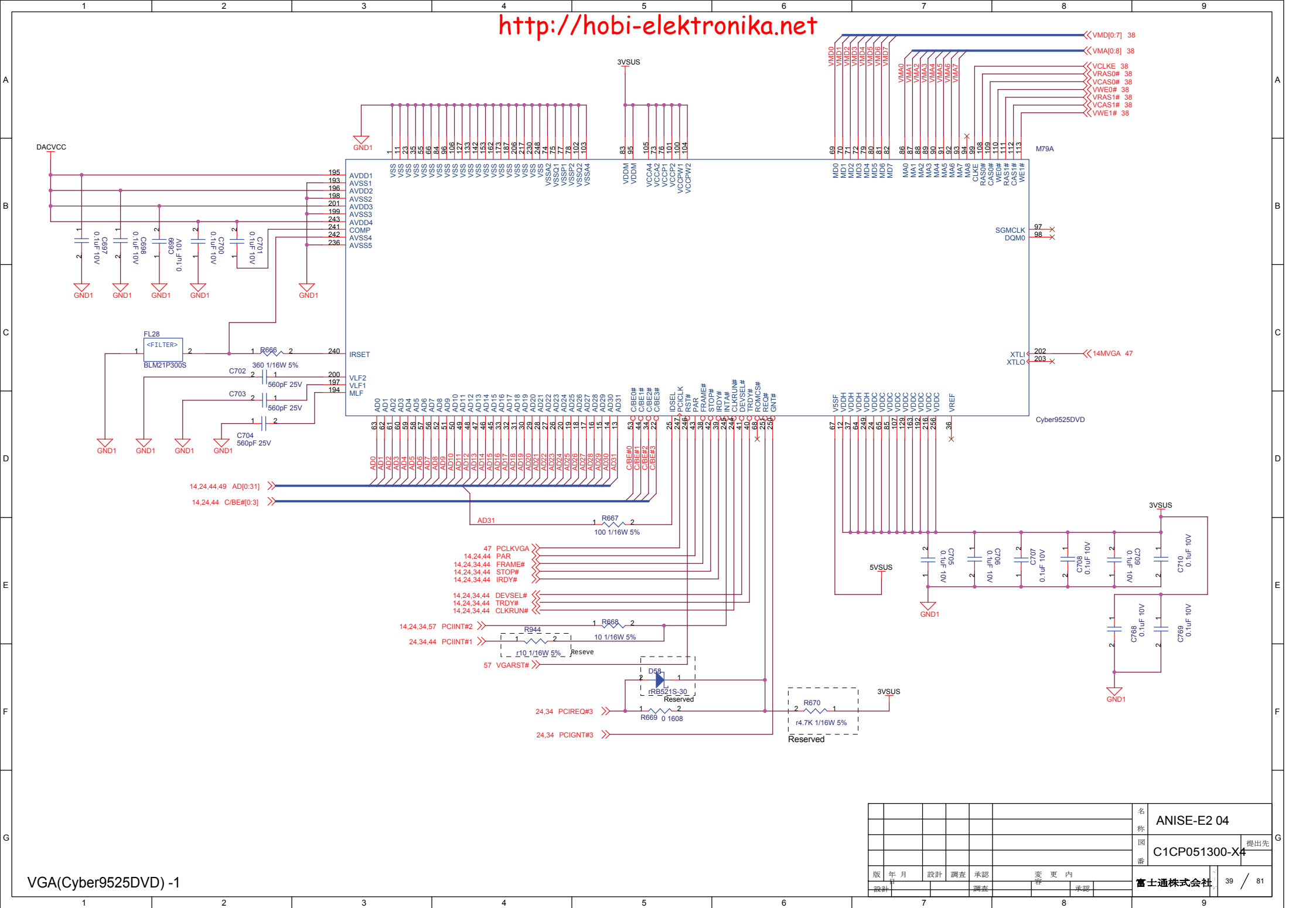
00=66MHz

01=75MHz

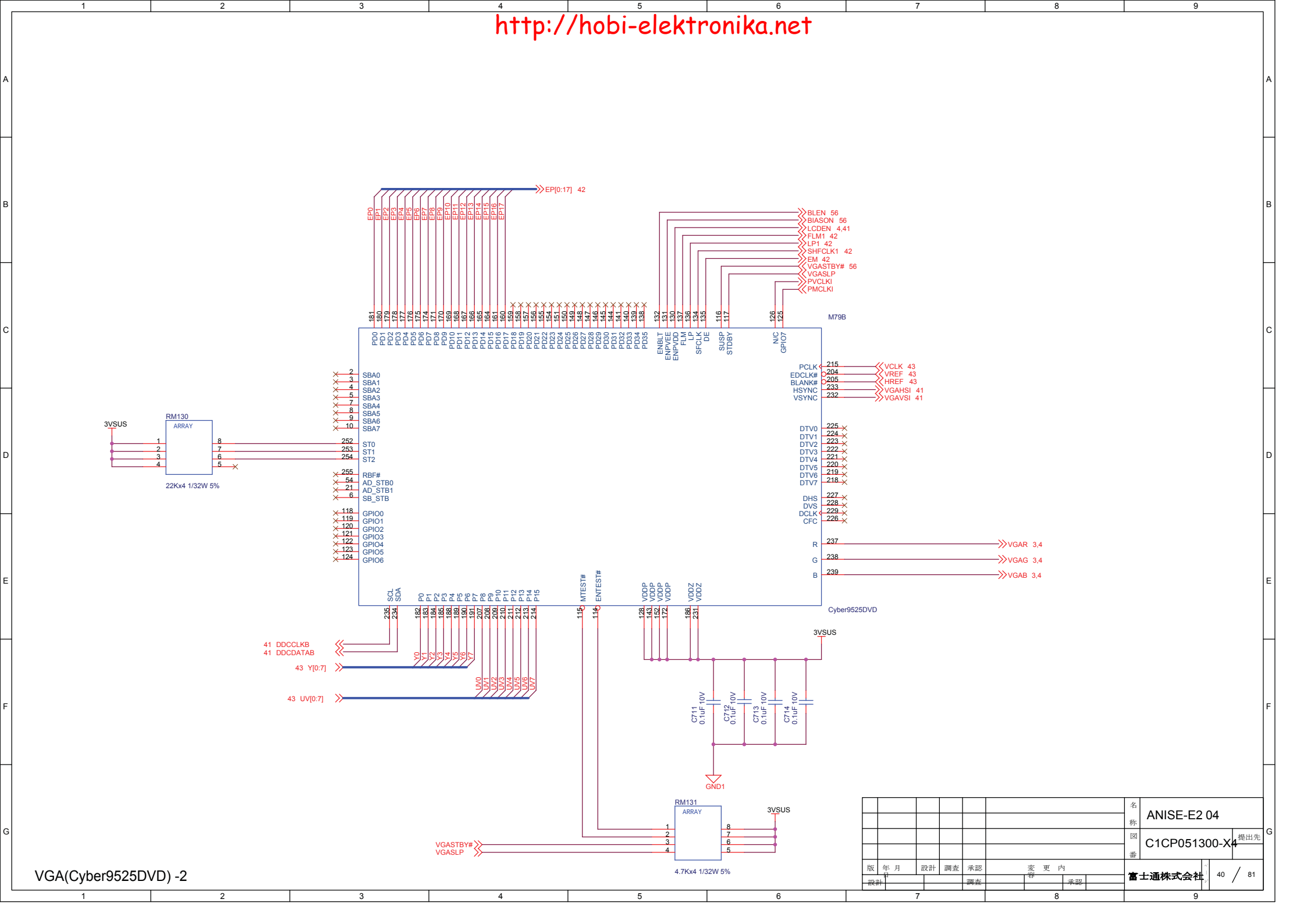
10=83MHz

11=100MHz

									名	ANISE-E2 04	
									称		
									图	C1CP051300-X4	提出先
									番		
版	年	月	設計	調査	承認		変	更	内		
設計					調査		変	更	承認	富士通株式会社	38 / 81



				名 称				ANISE-E2 04			
				图 号				C1CP051300-X4			
				版 本				富士通株式会社			
				年 月				39 / 81			
				設計				提出先			
				設計				承認			
				設計				承認			
				設計				承認			



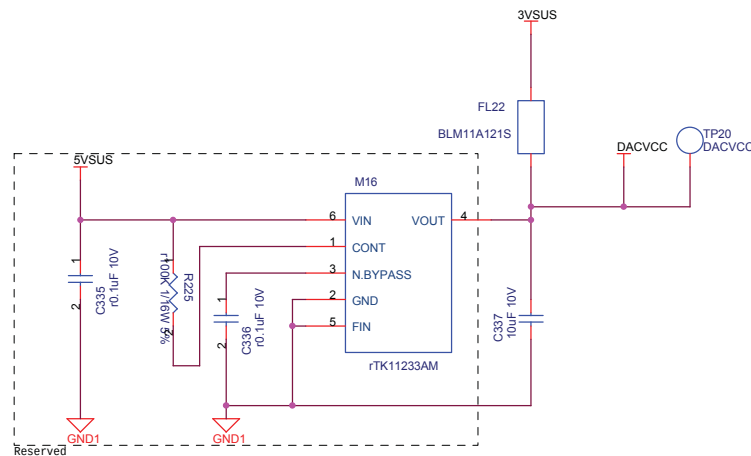
http://hobi-elektronika.net

VGA(Cyber9525DVD) -2

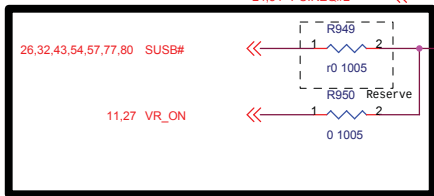
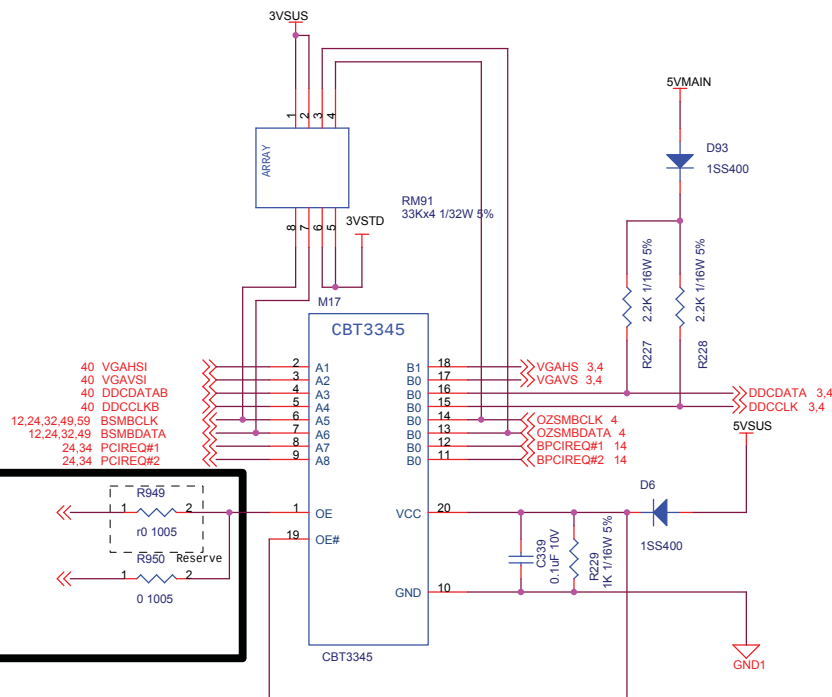
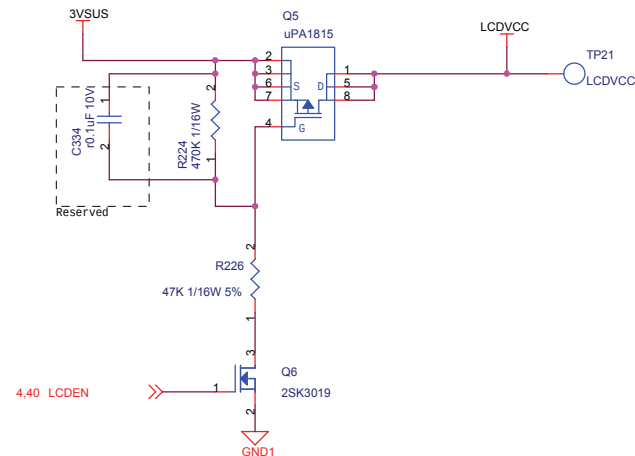
										名 称 ANISE-E2 04	
										图 号 C1CP051300-X4	
										提 出 者 	
										富士通株式会社	
版	年 月	設計	調査	承認	変 更	内 容	承認	承認	承認	承認	承認
設計											

40 / 81

[illegible]

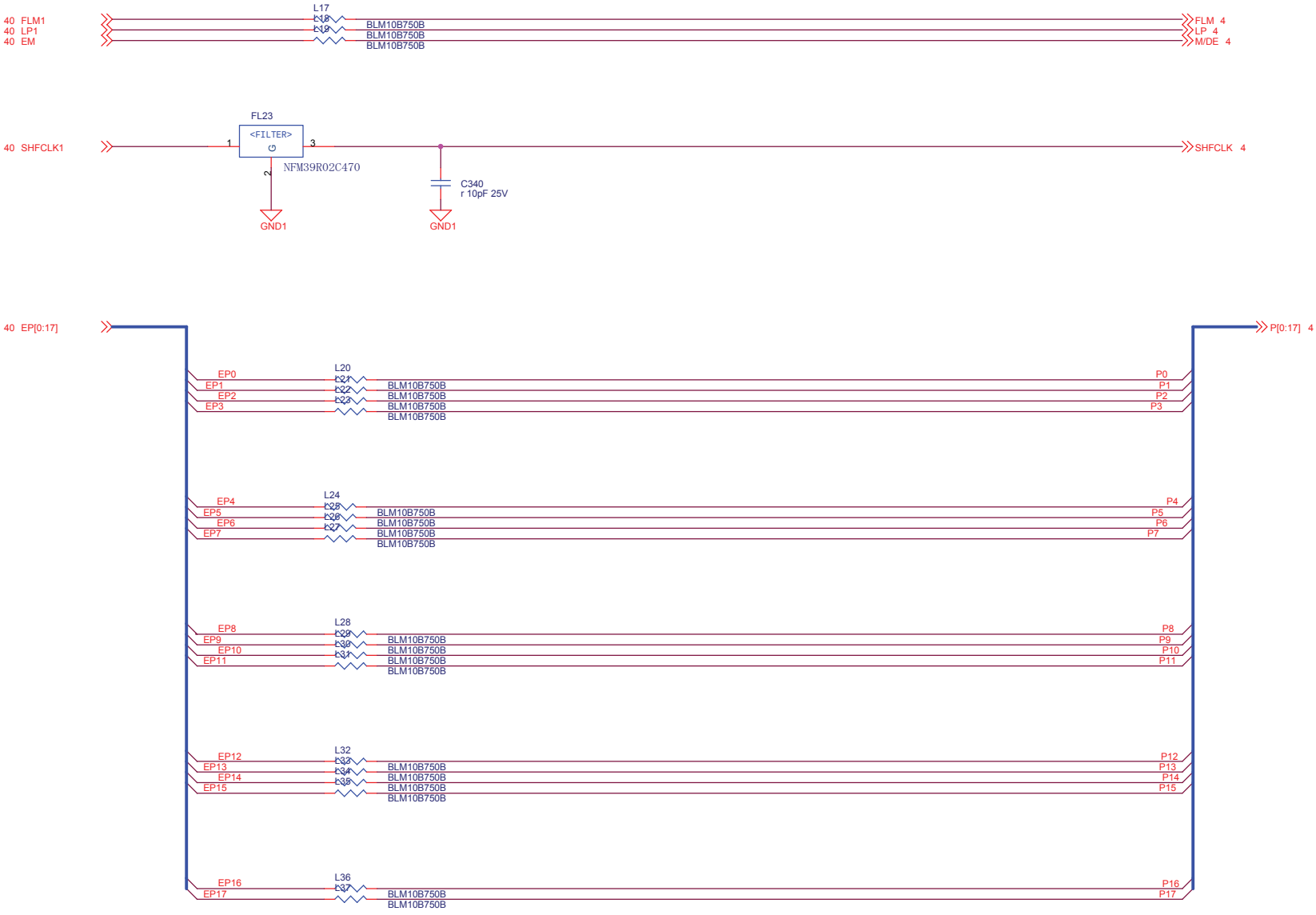


注) 入出力のコンデンサは極力TK11233AMの近くに配置すること。
各端子につながるパターンはできるだけ大きくとること。(5ピンは放熱用)
TK11233AMはM14の近くに配 uすること。



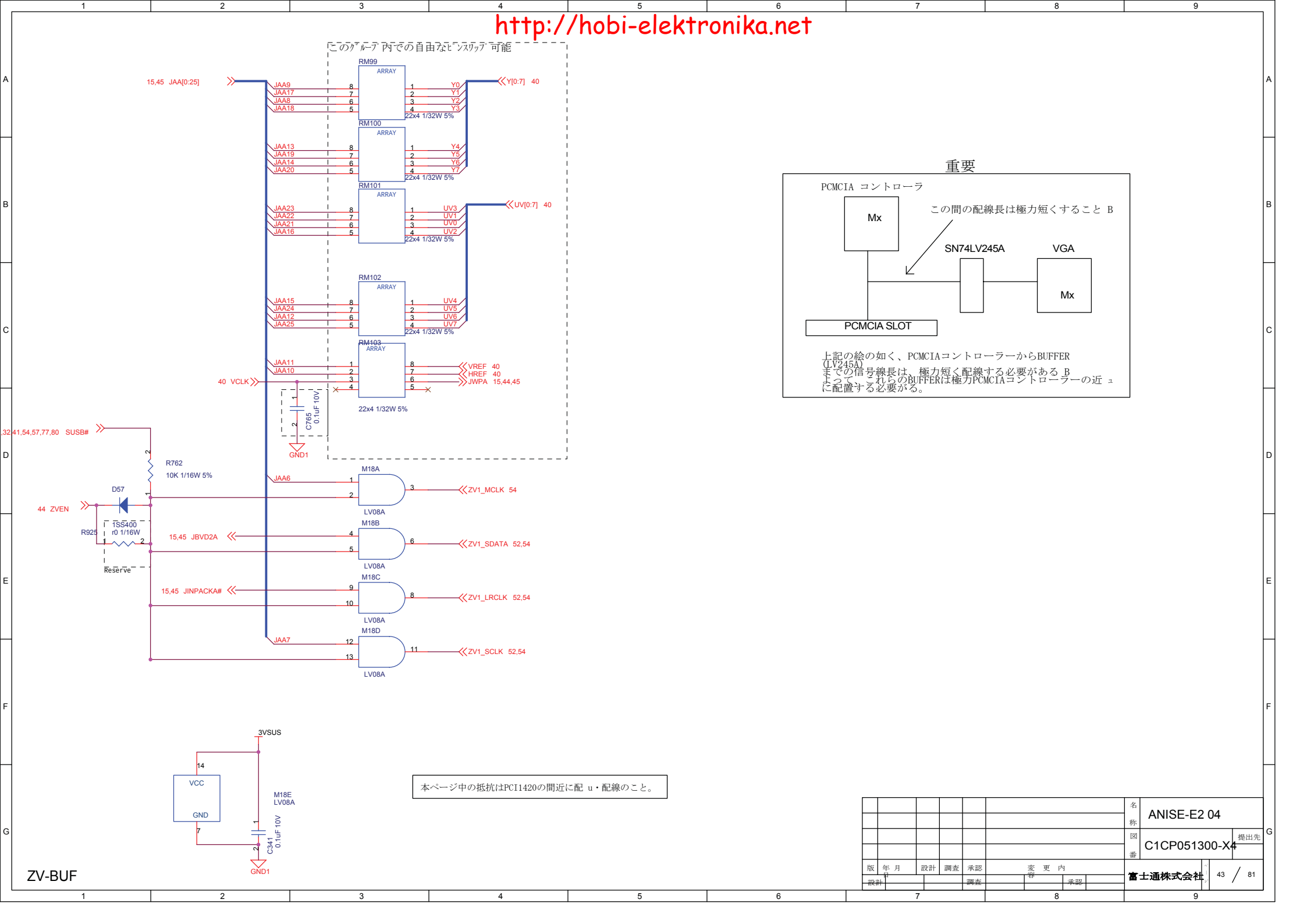
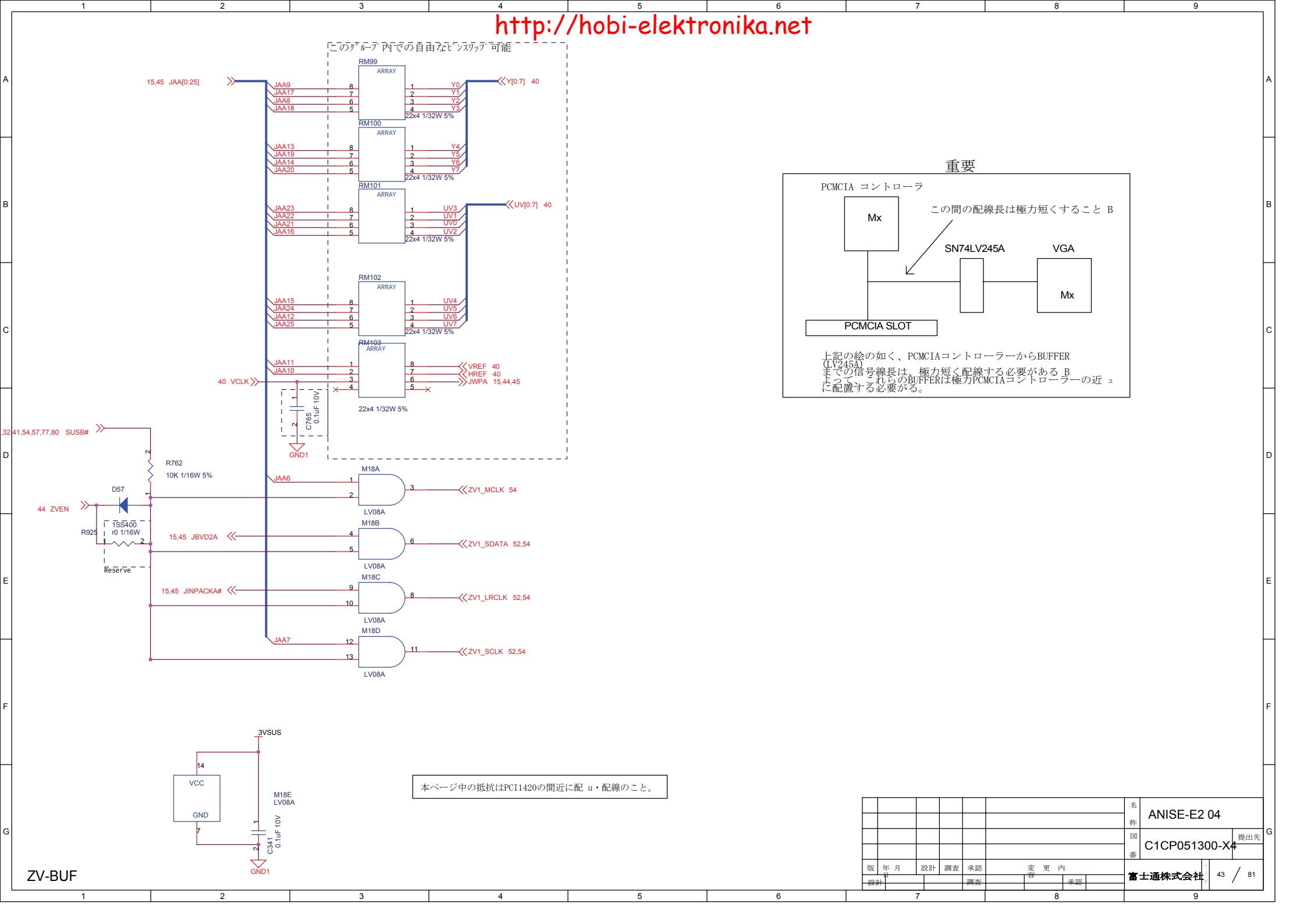
名	ANISE-E2 04	提出先	
図	C1CP051300-X4	番	
版	年月	設計	調査
承認	変更	承認	承認
設計	調査	承認	承認
富士通株式会社	41	81	

DACVCC,LCDVCC



LCD Dumping

名	ANISE-E2 04	提出先
図	C1CP051300-X4	番
版	年 月	設計 調査 承認
設計	承認	変更 承認
富士通株式会社		
42 / 81		



http://hobi-elektronika.net

このPCボード内での自由なインストール可能

重要

PCMCIA コントローラ

Mx

この間の配線長は極力短くすること B

SN74LV245A

VGA

Mx

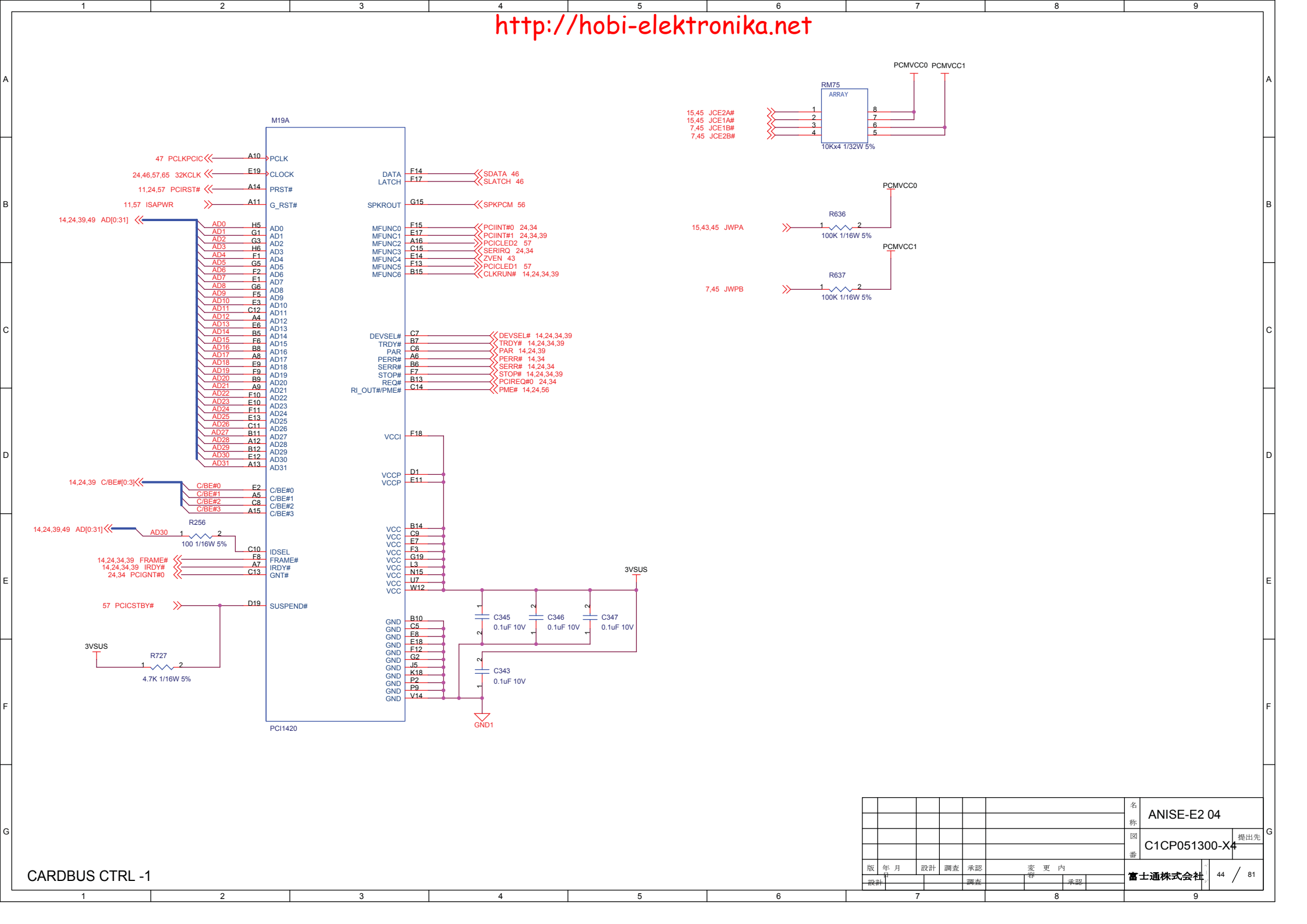
PCMCIA SLOT

上記の絵の如く、PCMCIAコントローラからBUFFER (LV245A) までの信号線長は、極力短く配線する必要がある。B について、これらのBUFFERは極力PCMCIAコントローラの近くに配置する必要がある。

本ページ中の抵抗はPCI1420の間に配 u・配線のこと。

ZV-BUF

名	ANISE-E2 04		
図	C1CP051300-X#		
番	提出先		
版	年月	設計	調査
承認	承認	承認	承認
変更	変更	承認	承認
富士通株式会社			43 / 81



http://hobi-elektronika.net

15 JDA[0:15] <<

15 JBVD1A
15.43 JBVD2A

15 JCD1A#
15 JCD2A#

15.43 JINPACKA#
15.57 JBSYA#
15 JWAITA#
15.43.44 JWPA

15 JVS1A#
15 JVS2A#

M19B

A_AD27/A_D0
A_AD29/A_D1
A_RSVD/A_D2
A_AD0/A_D3
A_AD1/A_D4
A_AD3/A_D5
A_AD5/A_D6
A_AD7/A_D7
A_AD28/A_D8
A_AD30/A_D9
A_AD31/A_D10
A_AD2/A_D11
A_AD4/A_D12
A_AD6/A_D13
A_RSVD/A_D14
A_AD8/A_D15

A_STSCHG/A_BVD1
A_AUDIO/A_BVD2

A_CD1#/A_CD1#
A_CD2#/A_CD2#

A_REQ#/A_INPACK#
A_INT#/A_READY
A_SERR#/A_WAIT#
A_CLKRUN#/A_WP

A_CVS1/A_VS1#
A_CVS2/A_VS2#

A_AD13/A_IORD#
A_AD15/A_IOWR#
A_AD17/A_OE#
A_CBE3#/A_REG#
A_RST#/A_RESET
A_GNT#/A_WE#

PCI1420

J19 JAA0
K14 JAA1
K15 JAA2
K19 JAA3
L15 JAA4
L17 JAA5
L19 JAA6
M15 JAA7
W16 JAA8
R14 JAA9
P14 JAA10
P14 JAA11
N18 JAA12
R17 JAA13
N14 JAA14
M14 JAA15

JCE1A# 15.44
JCE2A# 15.44

J1ORDA# 15
J1OWRA# 15
JCEA# 15
JREGA# 15
JRSTA 15
JWEA# 15

PCMVC0

C355 1000pF 25V
C356 0.1uF 10V

GND1

<<JAA[0:25] 15.43

JAA16

22 1/16W 5%
本抵抗はICに近接して実装すること。

7 JDB[0:15] <<

7 JBVD1B
7 JBVD2B

7 JCD1B#
7 JCD2B#

7 JINPACKB#
7.57 JBSYB#
7 JWAITB#
7.44 JWPB

7 JVS1B#
7 JVS2B#

M19C

B_AD27/B_D0
B_AD29/B_D1
B_RSVD/B_D2
B_AD0/B_D3
B_AD1/B_D4
B_AD3/B_D5
B_AD5/B_D6
B_AD7/B_D7
B_AD28/B_D8
B_AD30/B_D9
B_AD31/B_D10
B_AD2/B_D11
B_AD4/B_D12
B_AD6/B_D13
B_RSVD/B_D14
B_AD8/B_D15

B_STSCHG/B_BVD1
B_AUDIO/B_BVD2

B_CD1#/B_CD1#
B_CD2#/B_CD2#

B_REQ#/B_INPACK#
B_INT#/B_READY
B_SERR#/B_WAIT#
B_CLKRUN#/B_WP

B_CVS1/B_VS1#
B_CVS2/B_VS2#

B_AD13/B_IORD#
B_AD15/B_IOWR#
B_AD17/B_OE#
B_CBE3#/B_REG#
B_RST#/B_RESET
B_GNT#/B_WE#

PCI1420

JDB0 W10
JDB1 U10
JDB2 P10
JDB3 H2
JDB4 J1
JDB5 J3
JDB6 K1
JDB7 K3
JDB8 V10
JDB9 R10
JDB10 W11
JDB11 H1
JDB12 J2
JDB13 J6
JDB14 K2
JDB15 K5

JCE1B# 7.44
JCE2B# 7.44

J1ORDB# 7
J1OWRB# 7
JCEB# 7
JREGB# 7
JRSTB 7
JWEB# 7

PCMVC1

C357 1000pF 25V
C358 0.1uF 10V

GND1

<<JAB[0:25] 7

JAB16

22 1/16W 5%
本抵抗はICに近接して実装すること。

注
JAA16, JAB16はCardBus時クロック信号になるのでGND1にてガードを行うこと。

CARDBUS CTRL -2

名	ANISE-E2 04		
図	C1CP051300-X#		
番	提出先		
版	年月	設計	承認
設計		調査	承認
変更		承認	

1

2

3

4

5

6

7

8

9

A

B

C

D

E

F

G

http://hobi-elektronika.net

15 JDA[0:15] <<

15 JBVD1A
15.43 JBVD2A

15 JCD1A#
15 JCD2A#

15.43 JINPACKA#
15.57 JBSYA#
15 JWAITA#
15.43.44 JWPA

15 JVS1A#
15 JVS2A#

M19B

A_AD27/A_D0
A_AD29/A_D1
A_RSVD/A_D2
A_AD0/A_D3
A_AD1/A_D4
A_AD3/A_D5
A_AD5/A_D6
A_AD7/A_D7
A_AD28/A_D8
A_AD30/A_D9
A_AD31/A_D10
A_AD2/A_D11
A_AD4/A_D12
A_AD6/A_D13
A_RSVD/A_D14
A_AD8/A_D15

A_STSCHG/A_BVD1
A_AUDIO/A_BVD2

A_CD1#/A_CD1#
A_CD2#/A_CD2#

A_REQ#/A_INPACK#
A_INT#/A_READY
A_SERR#/A_WAIT#
A_CLKRUN#/A_WP

A_CVS1/A_VS1#
A_CVS2/A_VS2#

A_AD13/A_IORD#
A_AD15/A_IOWR#
A_AD17/A_OE#
A_CBE3#/A_REG#
A_RST#/A_RESET
A_GNT#/A_WE#

PCI1420

J19 JAA0
K14 JAA1
K15 JAA2
K19 JAA3
L15 JAA4
L17 JAA5
L19 JAA6
M15 JAA7
W16 JAA8
R14 JAA9
P14 JAA10
P14 JAA11
N18 JAA12
R17 JAA13
N14 JAA14
M14 JAA15

JCE1A# 15.44
JCE2A# 15.44

J1ORDA# 15
J1OWRA# 15
JCEA# 15
JREGA# 15
JRSTA 15
JWEA# 15

PCMVC0

C355 1000pF 25V
C356 0.1uF 10V

GND1

<<JAA[0:25] 15.43

JAA16

22 1/16W 5%
本抵抗はICに近接して実装すること。

7 JDB[0:15] <<

7 JBVD1B
7 JBVD2B

7 JCD1B#
7 JCD2B#

7 JINPACKB#
7.57 JBSYB#
7 JWAITB#
7.44 JWPB

7 JVS1B#
7 JVS2B#

M19C

B_AD27/B_D0
B_AD29/B_D1
B_RSVD/B_D2
B_AD0/B_D3
B_AD1/B_D4
B_AD3/B_D5
B_AD5/B_D6
B_AD7/B_D7
B_AD28/B_D8
B_AD30/B_D9
B_AD31/B_D10
B_AD2/B_D11
B_AD4/B_D12
B_AD6/B_D13
B_RSVD/B_D14
B_AD8/B_D15

B_STSCHG/B_BVD1
B_AUDIO/B_BVD2

B_CD1#/B_CD1#
B_CD2#/B_CD2#

B_REQ#/B_INPACK#
B_INT#/B_READY
B_SERR#/B_WAIT#
B_CLKRUN#/B_WP

B_CVS1/B_VS1#
B_CVS2/B_VS2#

B_AD13/B_IORD#
B_AD15/B_IOWR#
B_AD17/B_OE#
B_CBE3#/B_REG#
B_RST#/B_RESET
B_GNT#/B_WE#

PCI1420

JDB0 W10
JDB1 U10
JDB2 P10
JDB3 H2
JDB4 J1
JDB5 J3
JDB6 K1
JDB7 K3
JDB8 V10
JDB9 R10
JDB10 W11
JDB11 H1
JDB12 J2
JDB13 J6
JDB14 K2
JDB15 K5

JCE1B# 7.44
JCE2B# 7.44

J1ORDB# 7
J1OWRB# 7
JCEB# 7
JREGB# 7
JRSTB 7
JWEB# 7

PCMVC1

C357 1000pF 25V
C358 0.1uF 10V

GND1

<<JAB[0:25] 7

JAB16

22 1/16W 5%
本抵抗はICに近接して実装すること。

注
JAA16, JAB16はCardBus時クロック信号になるのでGND1にてガードを行うこと。

CARDBUS CTRL -2

名	ANISE-E2 04		
図	C1CP051300-X#		
番			
版	年月	設計	調査
承認	承認	承認	承認
変更	変更	承認	承認

1

2

3

4

5

6

7

8

9

A

B

C

D

E

F

G

1

2

3

4

5

6

7

8

9

A

B

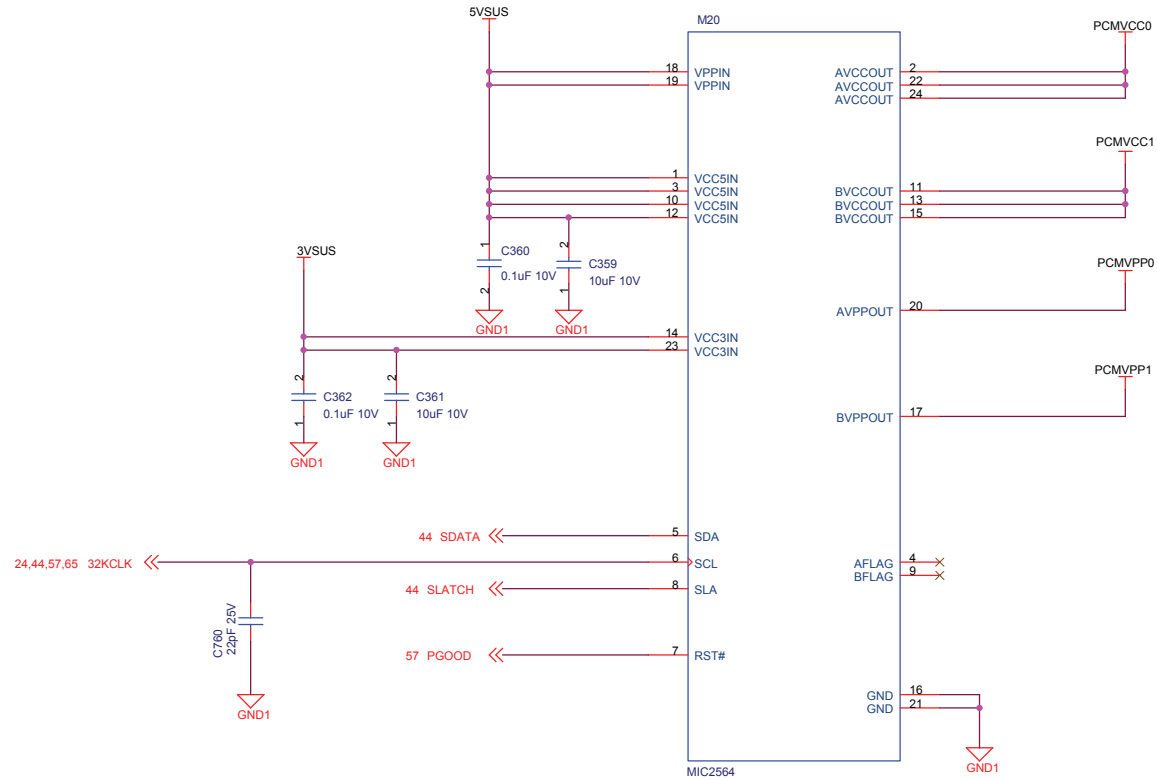
C

D

E

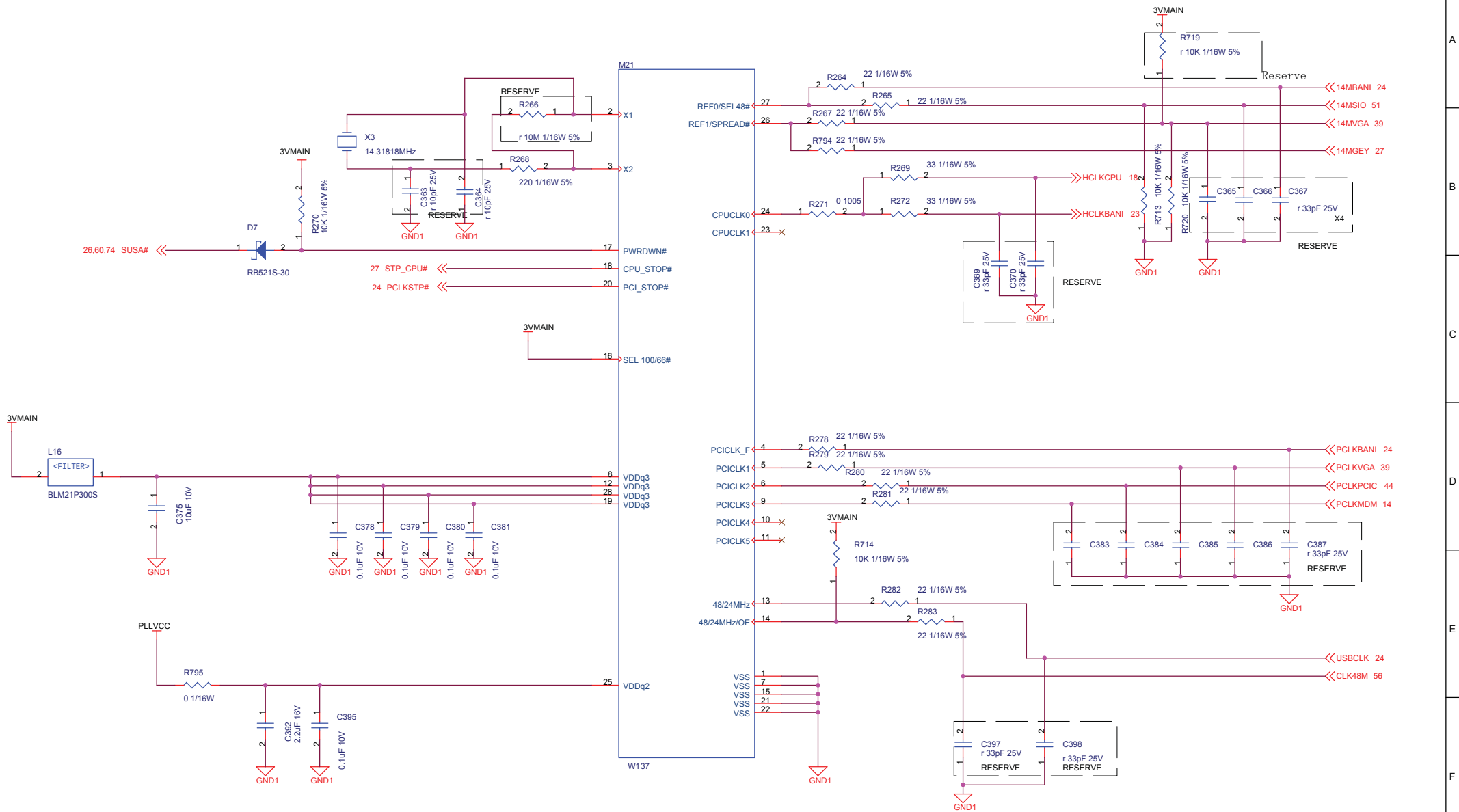
F

G



CARDBUS POWER

									名	ANISE-E2 04	
									称		
									图	C1CP051300-X4	提出先
									番		
版	年 月	設計	調査	承認		変 更 内					
設計				調査		変 更		承認		富士通株式会社	46 / 81



X3, C363, C364は、M21の4, 5ピン付近に配置、配線すること。
また、パターン下にバス等の高速な信号は走らせないこと。
すべてのクロックは、極力4, 5層を走らせること。

Very Important: See clocking guidelines for tracing clock line
and must follow that requirement.
(別紙3)

CLOCK GENERATOR

名	ANISE-E2 04	提出先	
図	C1CP051300-X4	番	
版	年月	設計	調査
承認	変更	承認	
設計	調査	承認	
富士通株式会社	47	81	

A

B

C

D

E

F

G

A

B

C

D

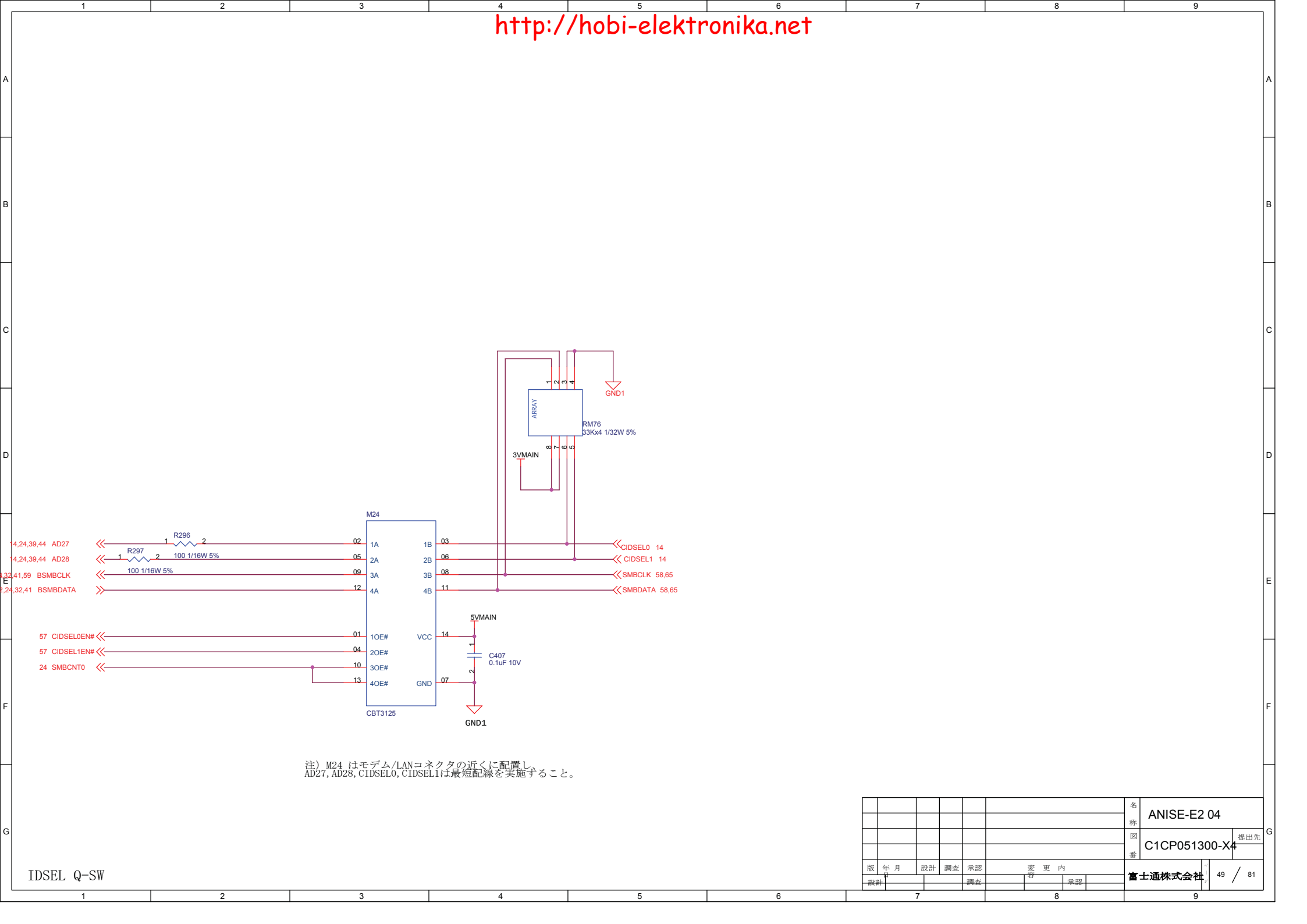
E

F

G

BLANK

								名	ANISE-E2 04	
								称		
								图	C1CP051300-X4	提出先
								番		
版	年 月	設計	調査	承認	変 更 内			富士通株式会社		
設計			調査		管	承認			48	81



http://hobi-elektronika.net

注) M24 はモデム/LANコネクタの近くに配置し、AD27, AD28, CIDSEL0, CIDSEL1は最短配線を実施すること。

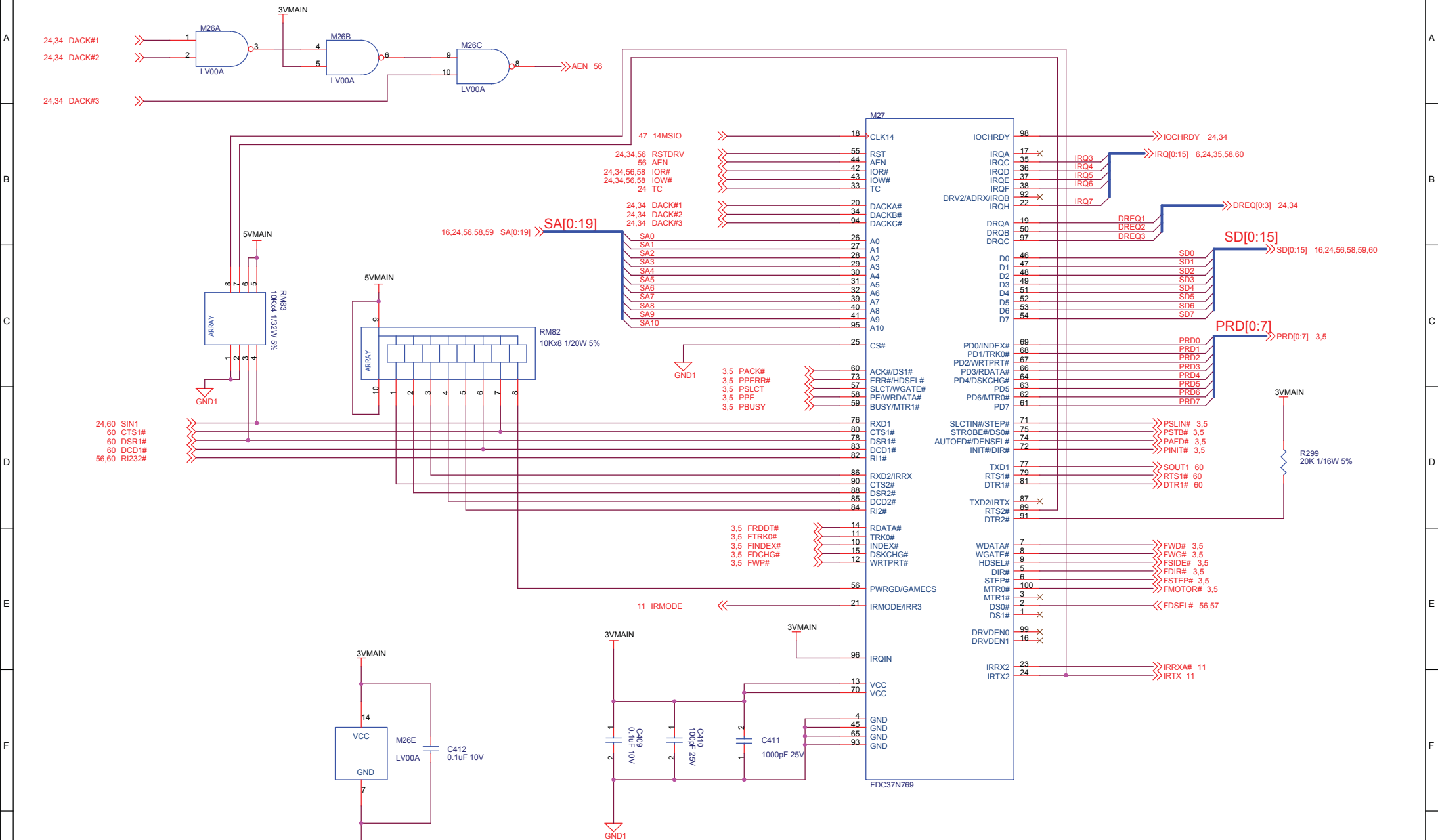
版	年 月	設計	調査	承認	変 更 内	富士通株式会社	提出先
設計			調査		承認		

IDSEL Q-SW

http://hobi-elektronika.net

注) M24 はモデム/LANコネクタの近くに配置し、AD27, AD28, CIDSEL0, CIDSEL1は最短配線を実施すること。

版	年	月	設計	調査	承認	変更	内	富士通株式会社	提出先	番
設計				調査		変更	承認			49 / 81



SUPER I/O

								名	ANISE-E2 04	
								称		
								図	C1CP051300-X4	
								番	提出先	
版	年月	設計	調査	承認	変更	内	富士通株式会社	51	81	
設計				調査		承認				



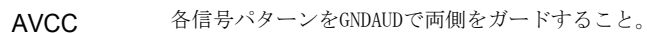
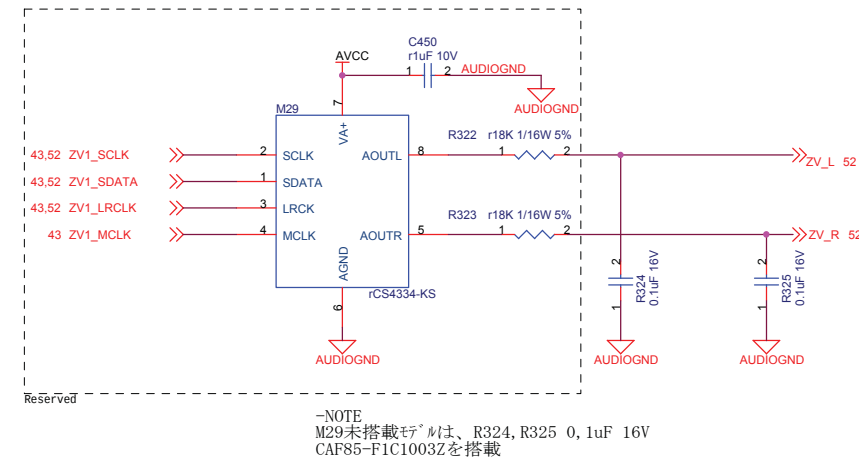
注) CDL, CDRは、基板端面より、CDRTN, CDL, CDR, CDRTNの順に
 がトビとして布線し、その上下層はCDRTNにてCDL, CDR, CDRTN
 にかバーする幅にて布線必ず実施のこと B
 CDLIN, CDRIN, CDRTNIについても同様の布線処理が必要 B

[illegible]

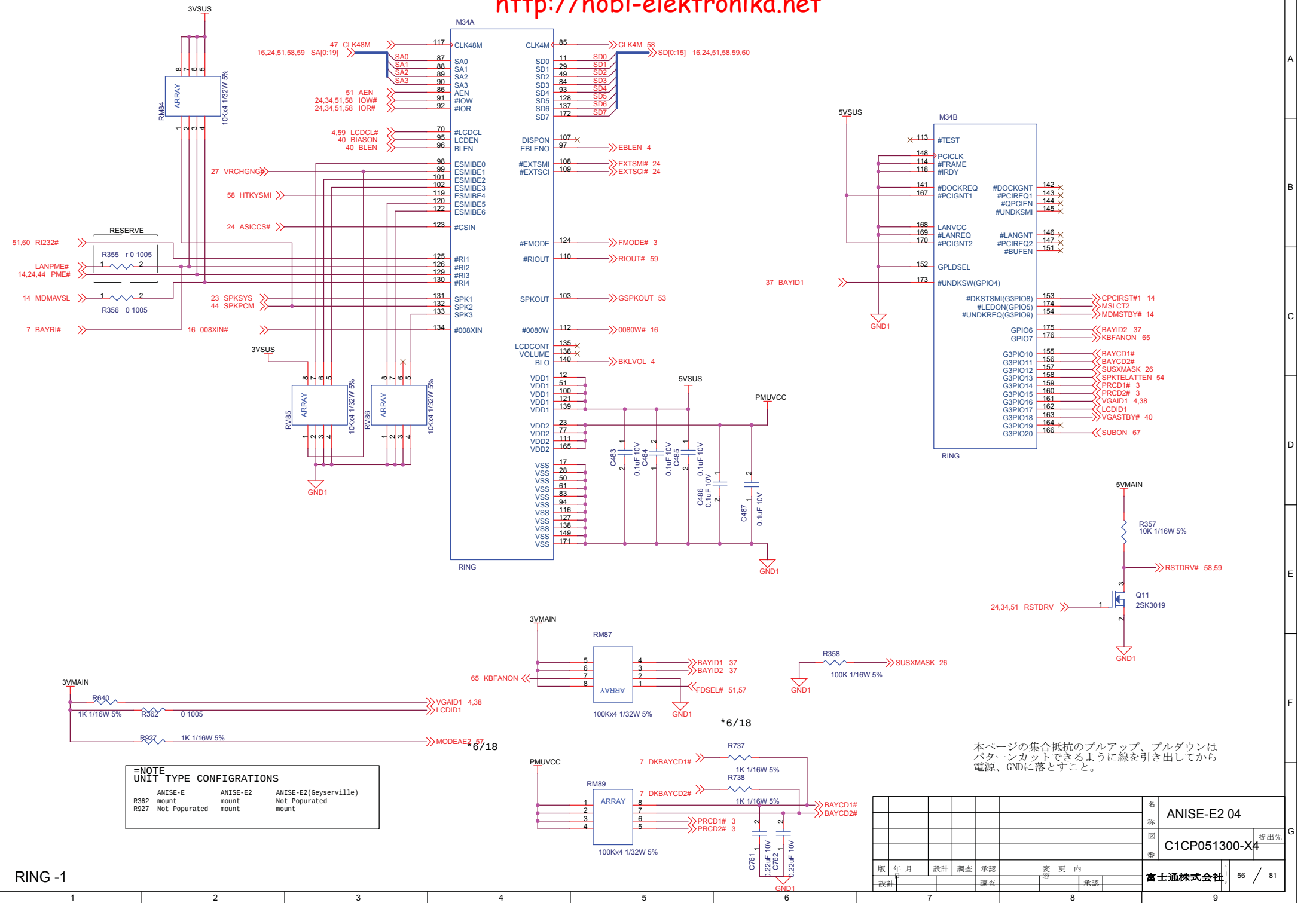
BH7821BFP-Y付近はAUDIOGNDベタパッドで覆うこと

AUDIO AMP

						名称 図 番	ANISE-E2 04		提出先
							C1CP051300-X4		
版	年 月	設計	調査	承認	変 更 内	番	富士通株式会社	53 / 81	
設計			調査		承認				



						名	ANISE-E2 04			
						称				
						図	C1CP051300-X4	提出先		
						番				
版	年	月	設計	調査	承認	変 更 内			富士通株式会社	54 / 81
設計				調査		容	承認			



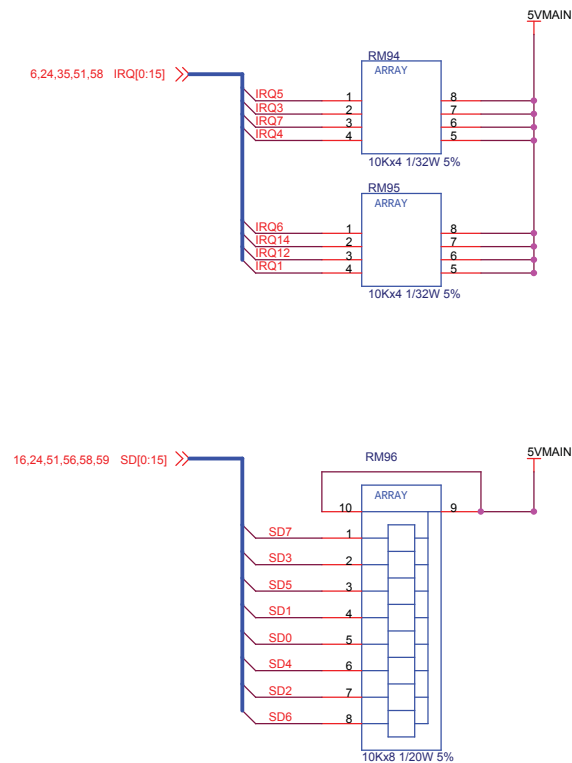
本ページの集合抵抗のプルアップ、プルダウンは
パターンカットできるように線を引き出してから
電源、GNDに落とすこと。

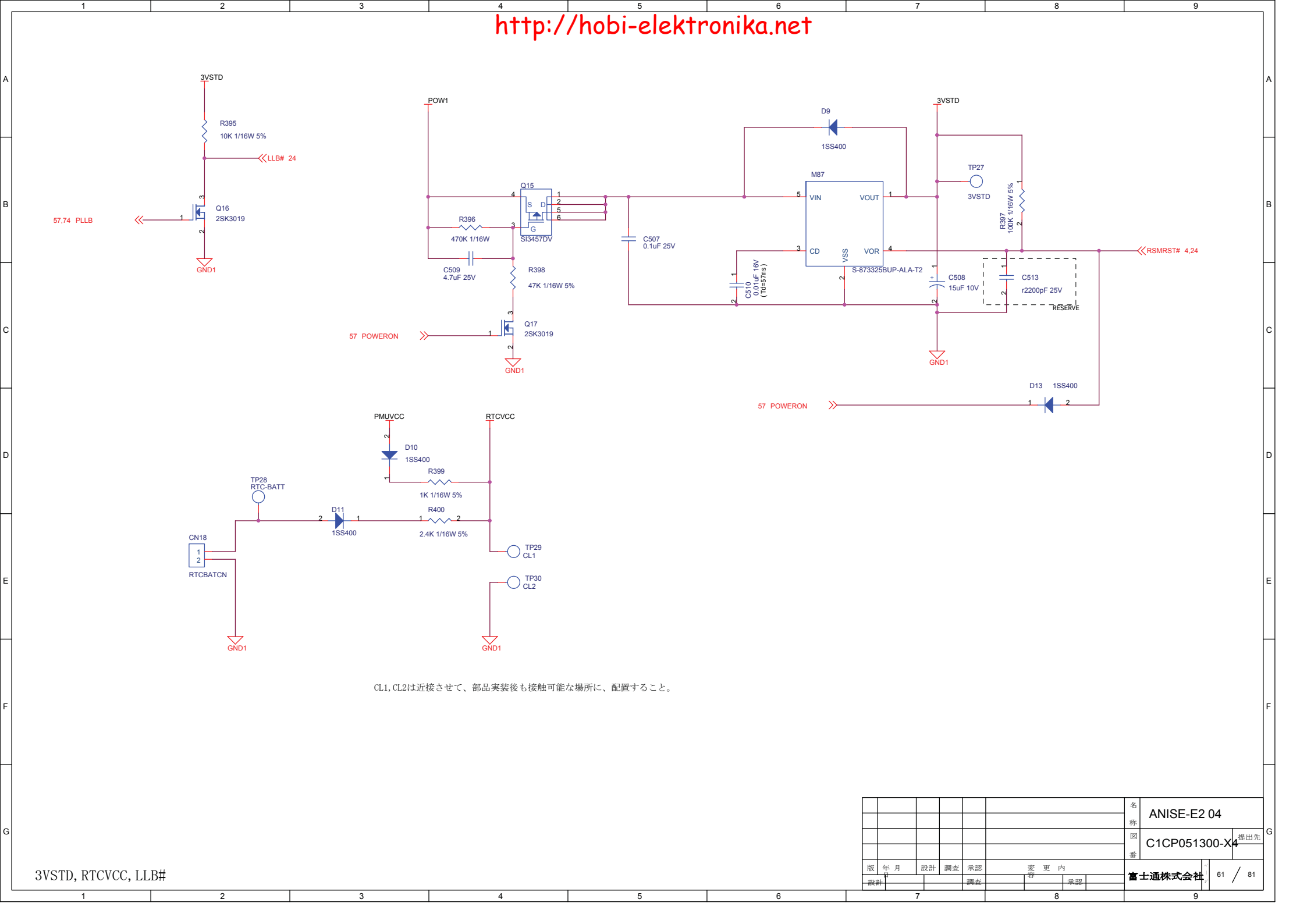
[illegible]





										名	ANISE-E2 04		
										称			
										図	C1CP051300-X4		提出先
										番			
版	年 月	設計	調査	承認	変 更 内								
設計			調査				承認			富士通株式会社	59	/	81

[illegible]



<http://hobi-elektronika.net>

The schematic diagram illustrates the internal circuitry of the ANISE-E2 04 module. Key components and their connections include:

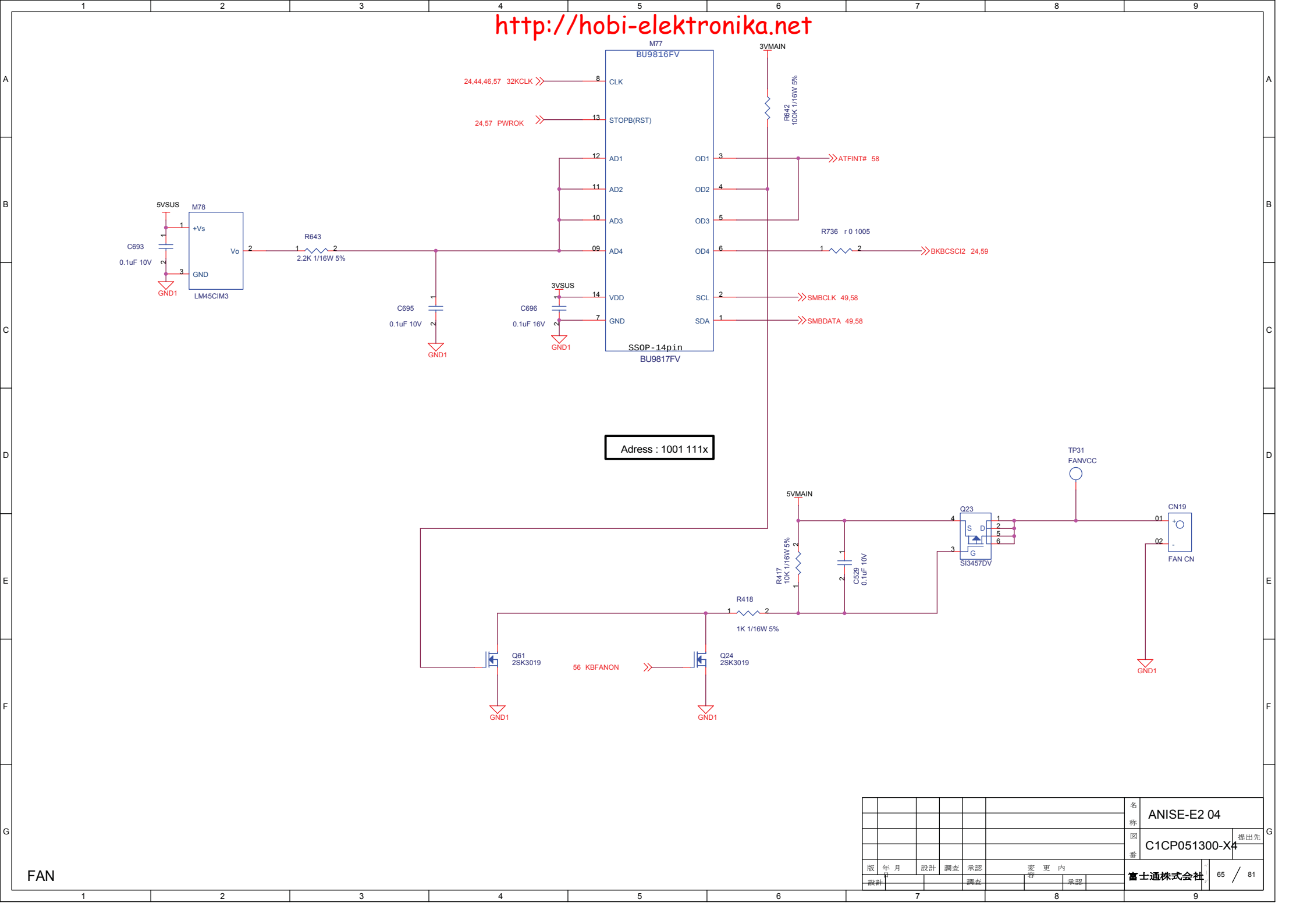
- Power Section:** A 3VSTD input is connected to a 10K resistor (R395) and a 2SK3019 transistor (Q16). The transistor's emitter is grounded (GND1), and its collector is connected to the 3VSTD input. A 470K resistor (R396) and a 4.7uF capacitor (C509) are connected to the base of Q16. The base is also connected to a 47K resistor (R398) and a 2SK3019 transistor (Q17). The emitter of Q17 is grounded (GND1), and its collector is connected to the 3VSTD input. A 1SS400 diode (D10) is connected between the 3VSTD input and the base of Q17.
- Signal Section:** A PLLB signal (57.74) is connected to the base of Q16. A POWERON signal (57) is connected to the base of Q17. A 3VSTD input is connected to the base of Q17. A 1SS400 diode (D13) is connected between the 3VSTD input and the base of Q17.
- Timing Section:** A 1SS400 diode (D11) is connected between the 3VSTD input and the base of Q17. A 1K resistor (R399) and a 2.4K resistor (R400) are connected to the base of Q17. A 1SS400 diode (D9) is connected between the 3VSTD input and the base of Q17. A 1SS400 diode (D13) is connected between the 3VSTD input and the base of Q17.
- RTC Section:** A 3VSTD input is connected to the base of Q17. A 1SS400 diode (D13) is connected between the 3VSTD input and the base of Q17. A 1SS400 diode (D10) is connected between the 3VSTD input and the base of Q17. A 1SS400 diode (D11) is connected between the 3VSTD input and the base of Q17.

CL1, CL2は近接させて、部品実装後も接触可能な場所に、配置すること。

						名 称		ANISE-E2 04	
						図 番		C1CP051300-X4	
						提 出 先		富士通株式会社	
						61		81	

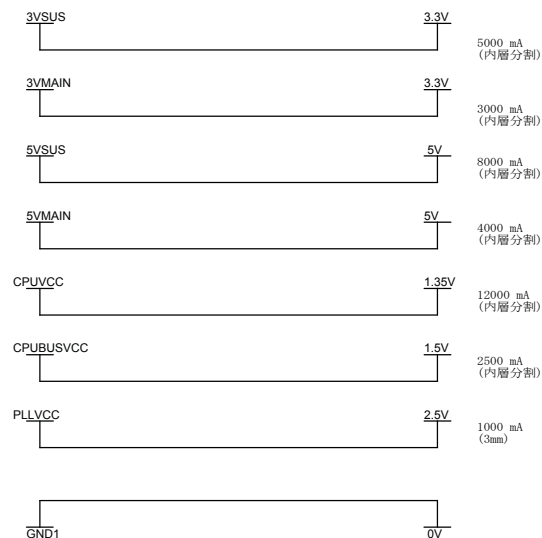
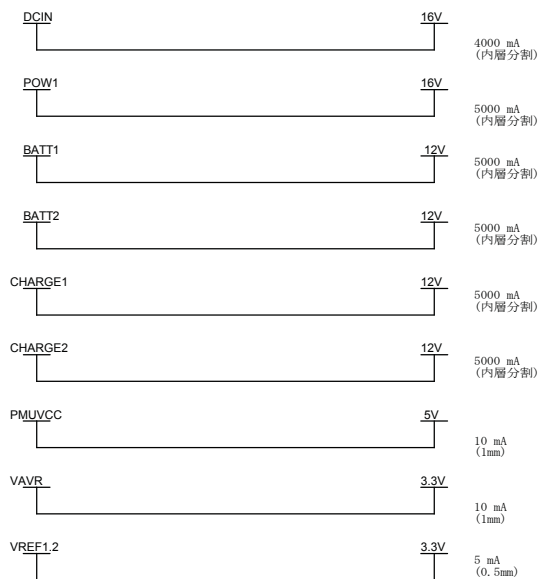
3VSTD, RTCVCC, LLB#

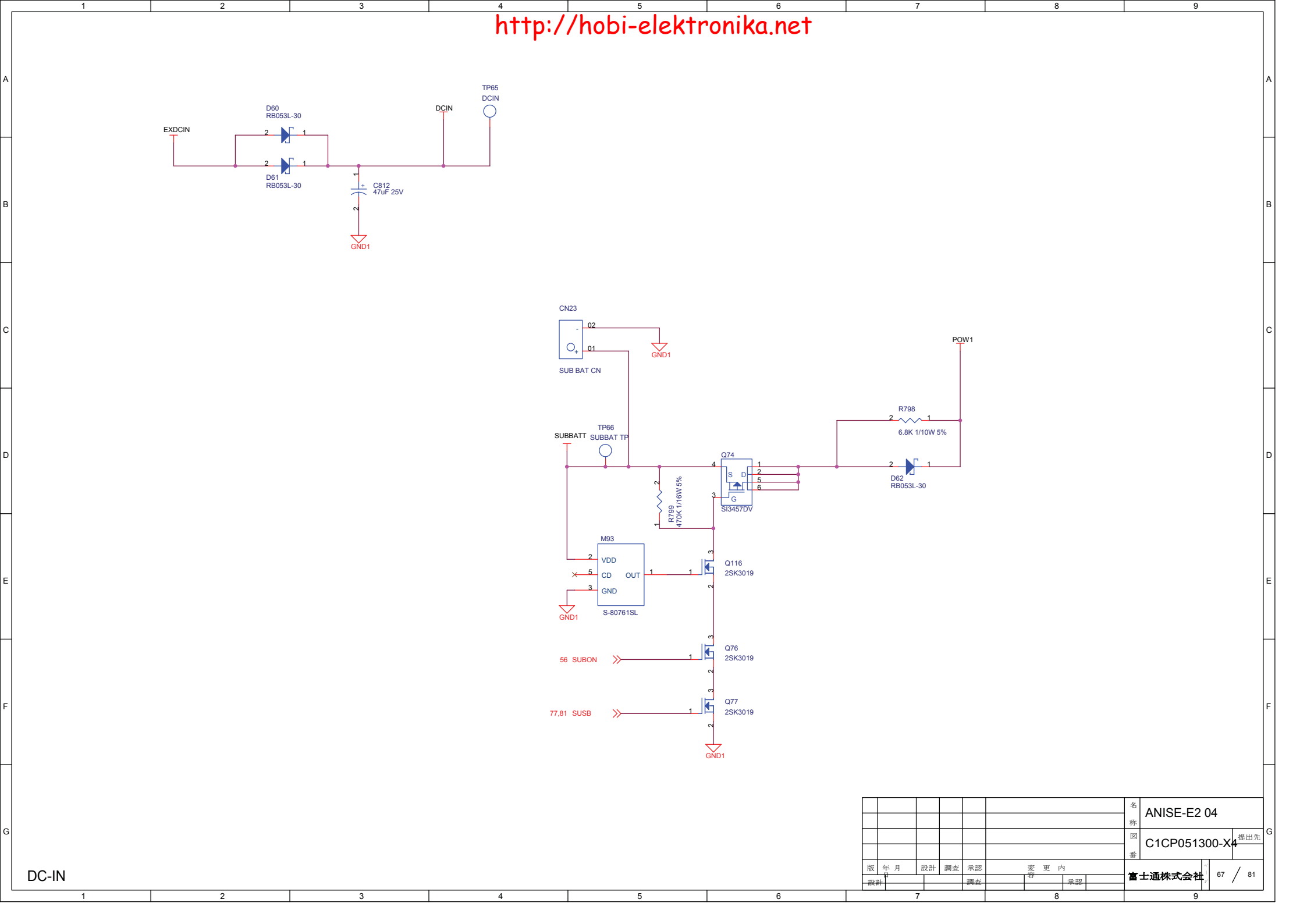
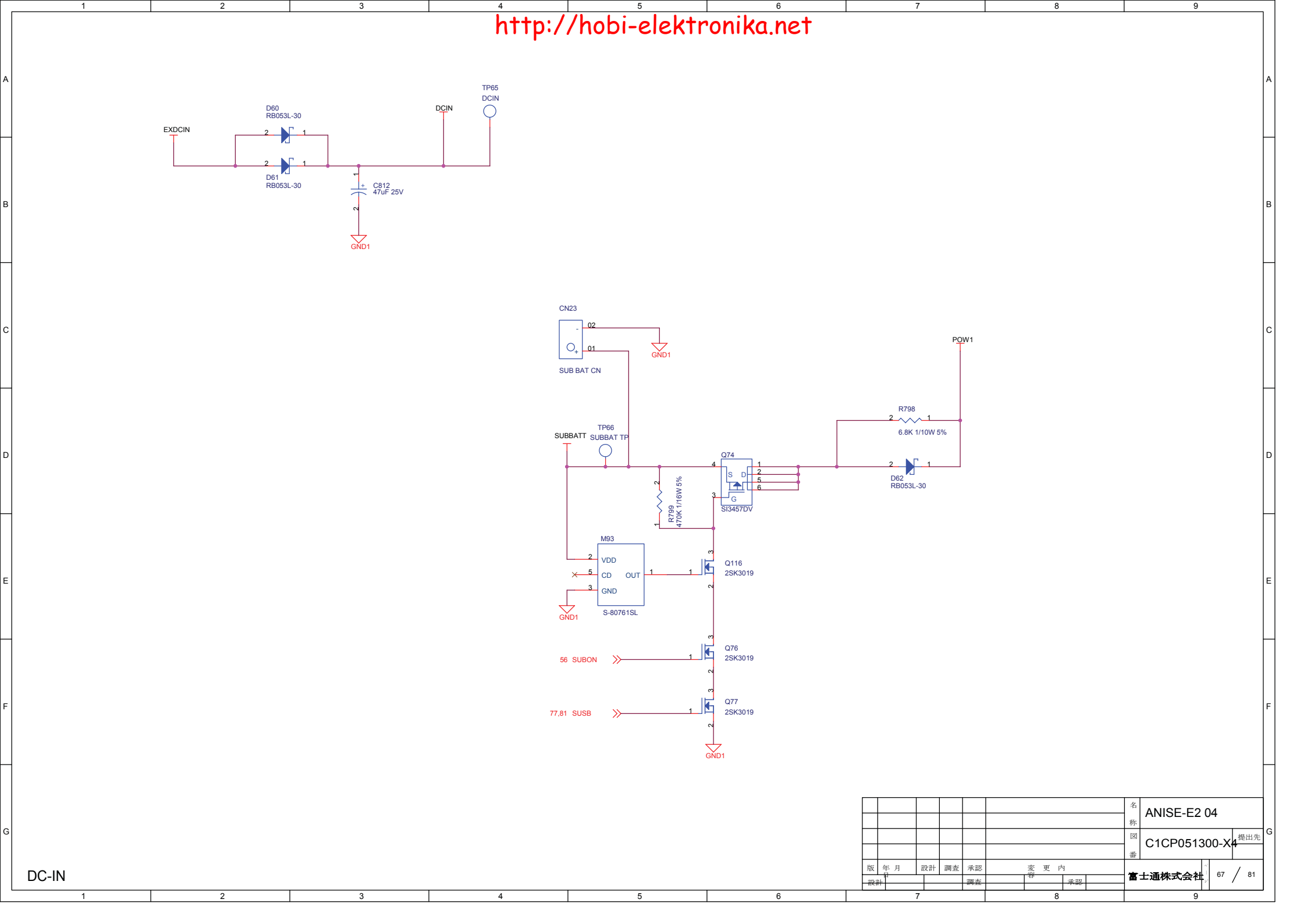
http://hobi-elektronika.net

[illegible]

Anise-E2 POWER

PAGE	CONTENTS
66	POW INDEX
67	DC-IN
68	BATT _x _CN
69	POW1,BTxDCHG
70	BTxVOL
71	ACON,BTxALM
72	5VSTB,PMUVCC,VREF
73	SCONT _x
74	PMU
75	BUS SW
76	5VSUS,3VSUS
77	CPUVCC
78	CHARGER
79	CPUVCCP,PLL _{VCC}
80	5VMAIN,3VMAIN,BAYVCC



[illegible]

http://hobi-elektronika.net

DC-IN

DC-DC Converter:

- Input: EXDCIN
- Diodes: D60, D61 (RB053L-30)
- Capacitor: C812 (47uF 25V)
- Ground: GND1
- Output: DCIN
- Test Point: TP65 DCIN

Sub Battery:

- Input: SUB BATT CN
- Ground: GND1
- Test Point: TP66 SUBBATT TP

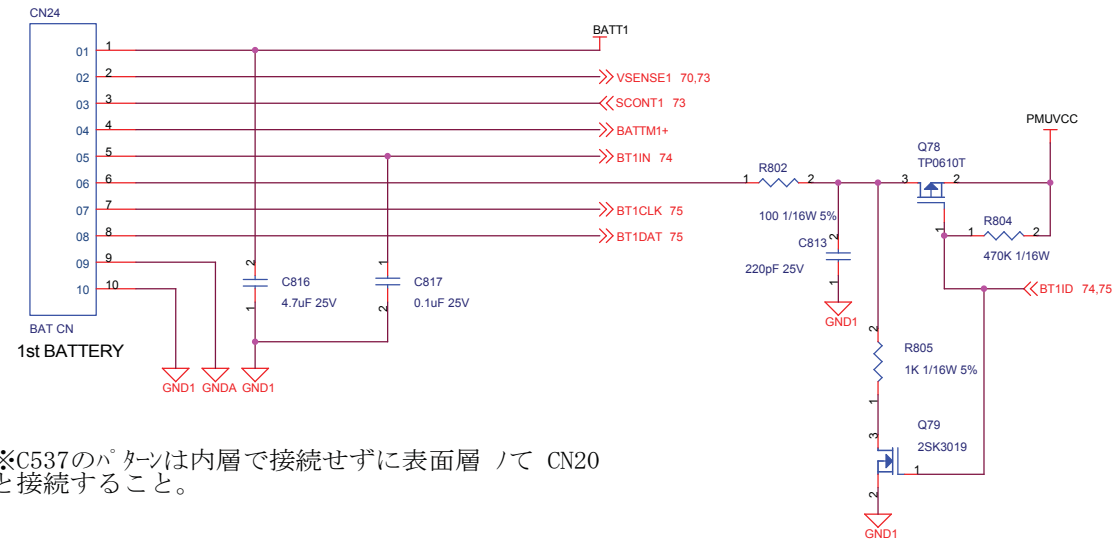
Motor Driver:

- IC: M93 (S-80761SL)
- Pin 1: OUT
- Pin 2: VDD
- Pin 3: GND
- Pin 4: CD
- Pin 5: GND
- Pin 6: GND
- Resistor: R799 (470K 1/16W 5%)
- Diode: Q74 (SI3457DV)
- Resistor: R798 (6.8K 1/10W 5%)
- Diode: D62 (RB053L-30)
- Output: POW1

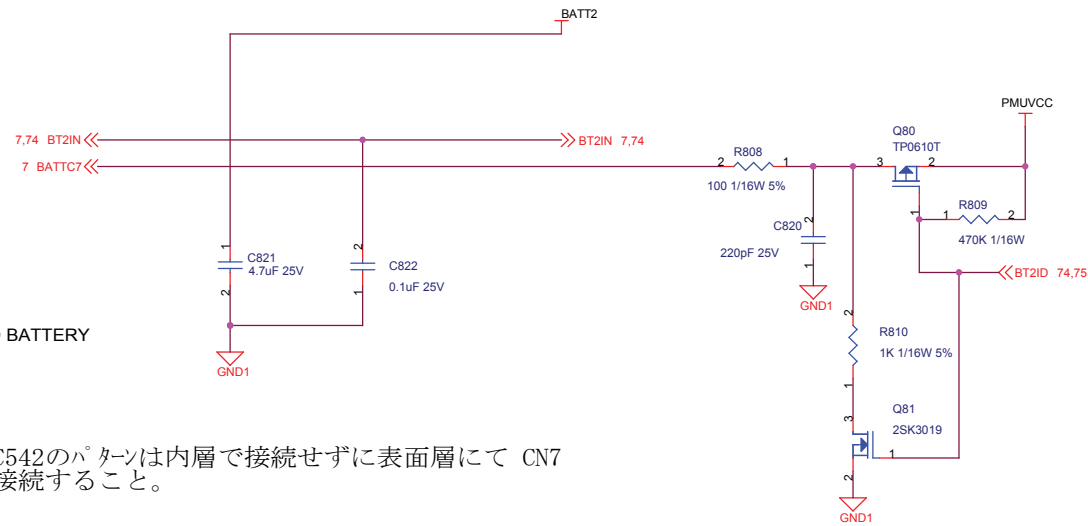
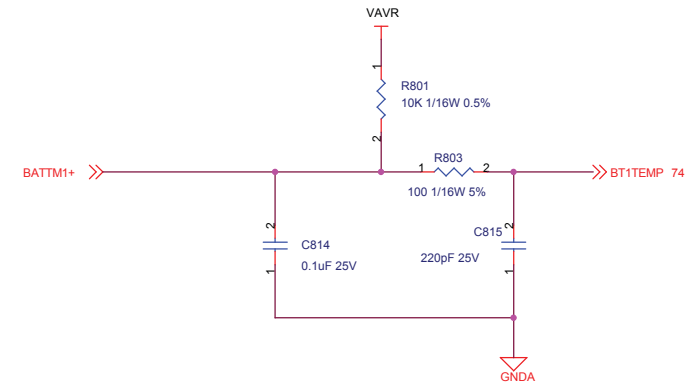
Motor Control:

- Motor: 56 SUBON
- Motor: 77.81 SUSB
- Transistors: Q116, Q76, Q77 (2SK3019)
- Ground: GND1

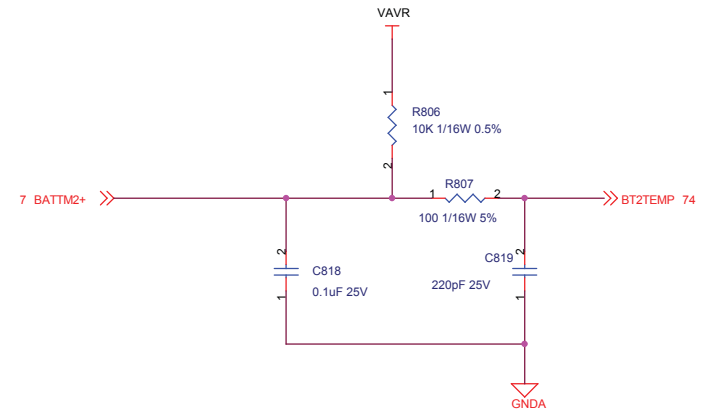
						名 称		ANISE-E2 04	
						图 号		C1CP051300-X4	
						番 号		提出先	
版	年 月	設計	調査	承認	変 更 内		富士通株式会社		
設計			調査		変 更	承認		67 / 81	



※C537のパターンは内層で接続せずに表面層にて CN20 と接続すること。

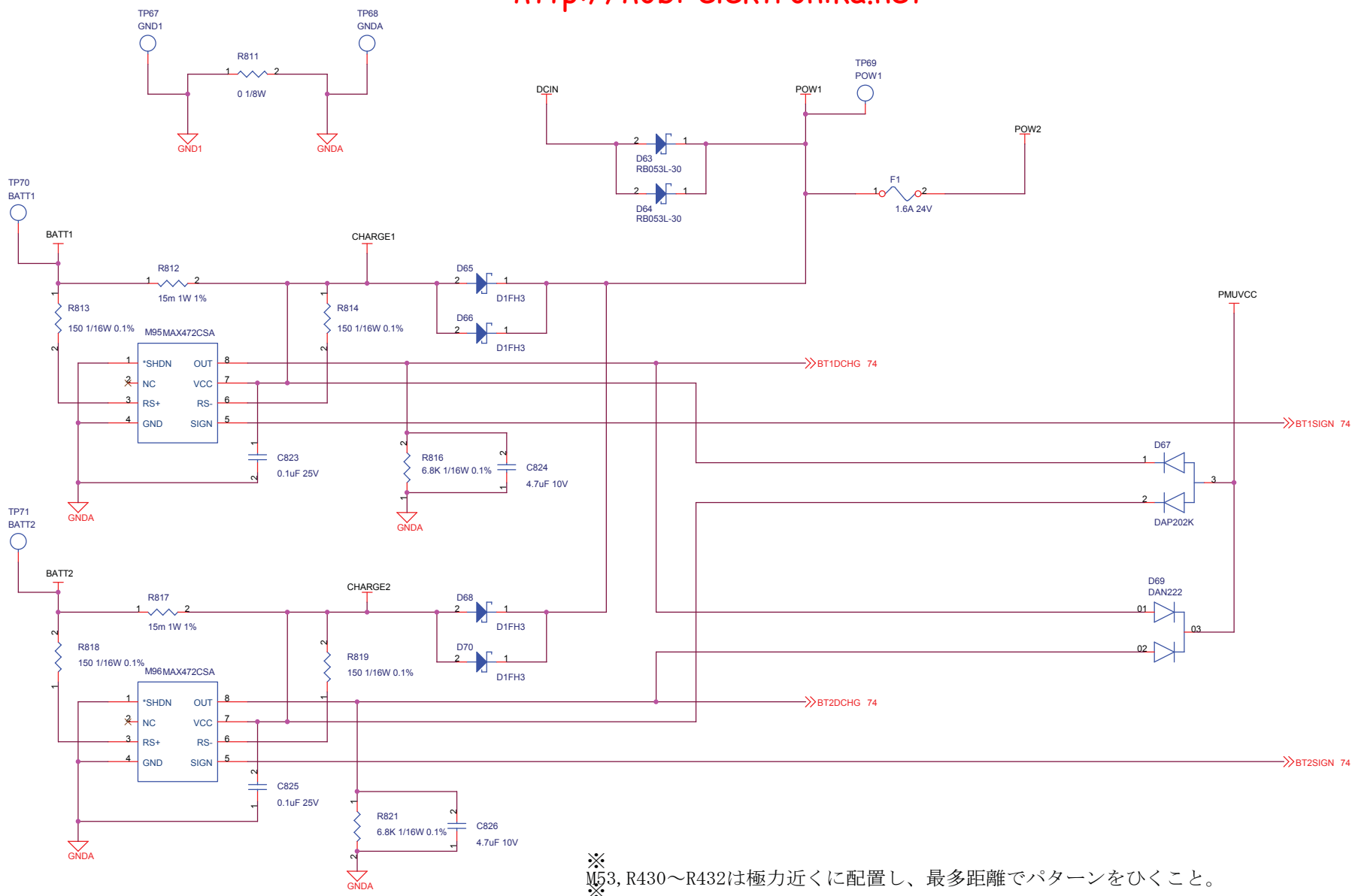


※C542のパターンは内層で接続せずに表面層にて CN7 と接続すること。



BATTx_CN

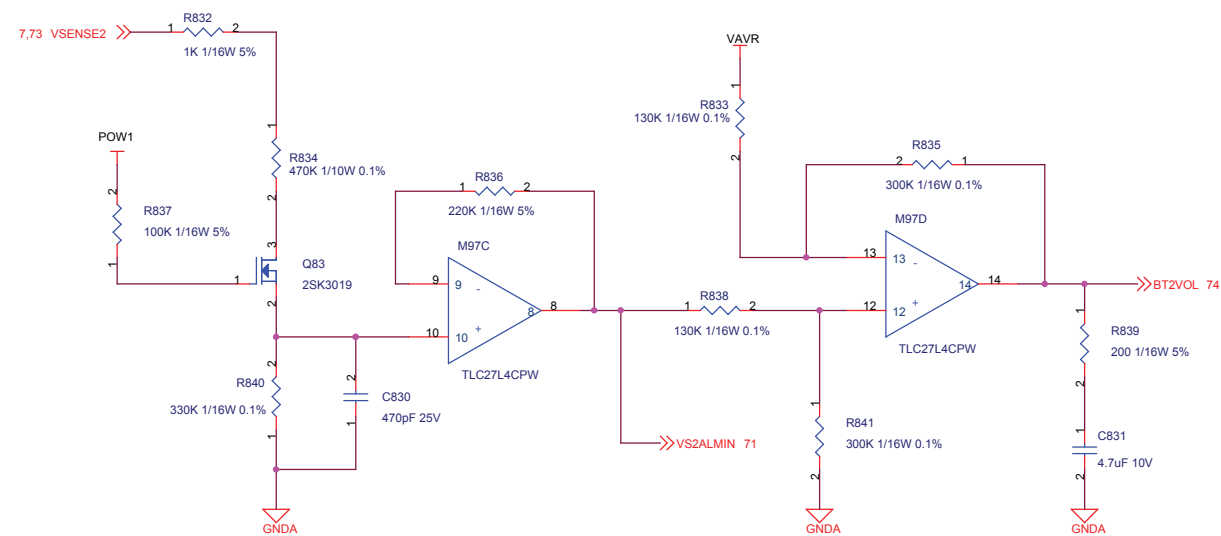
名	ANISE-E2 04	提出先
図	C1CP051300-X4	番
版	年月	設計
設計	調査	承認
変更	承認	富士通株式会社
68	81	



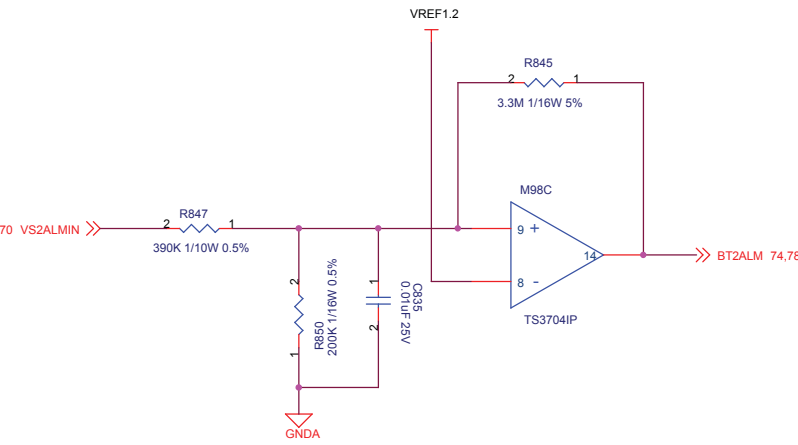
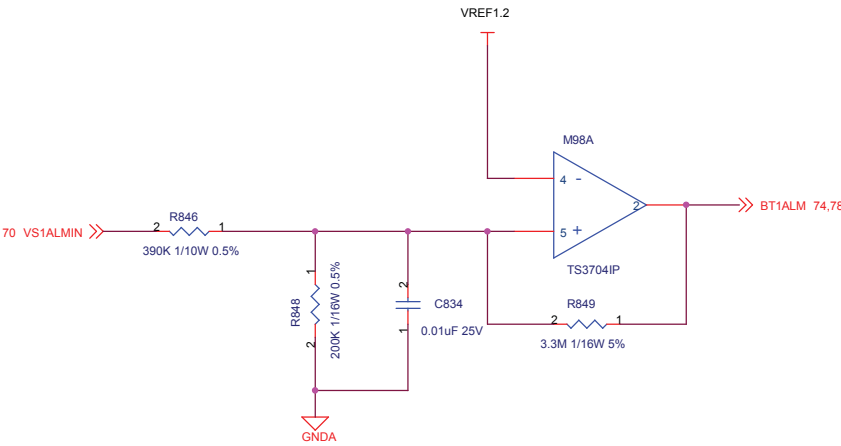
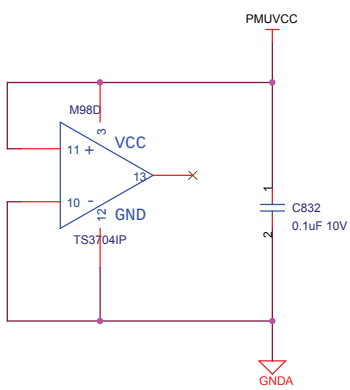
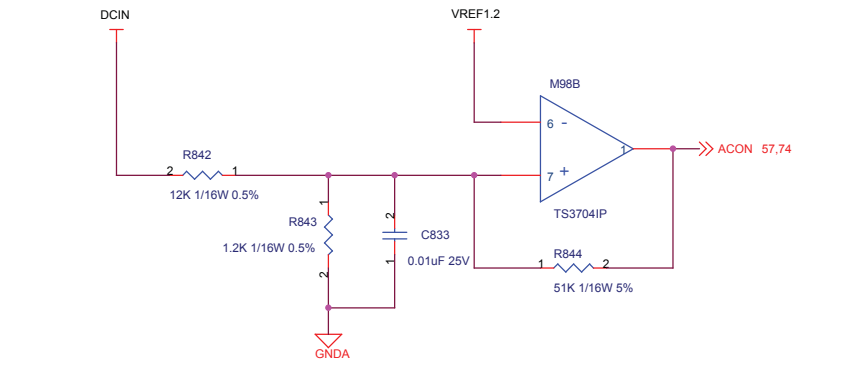
※ M53, R430～R432は極力近くに配置し、最多距離でパターンをひくこと。
※ M54, R435～R437は極力近くに配置し、最短距離でパターンをひくこと。

POW1,BTxDCHG

									名	ANISE-E2 04			G
									称				
									図	C1CP051300-X4		提出先	
									番				
版	年 月	設計	調査	承認	変 更 内				富士通株式会社			69 / 81	
設計				調査			承認						

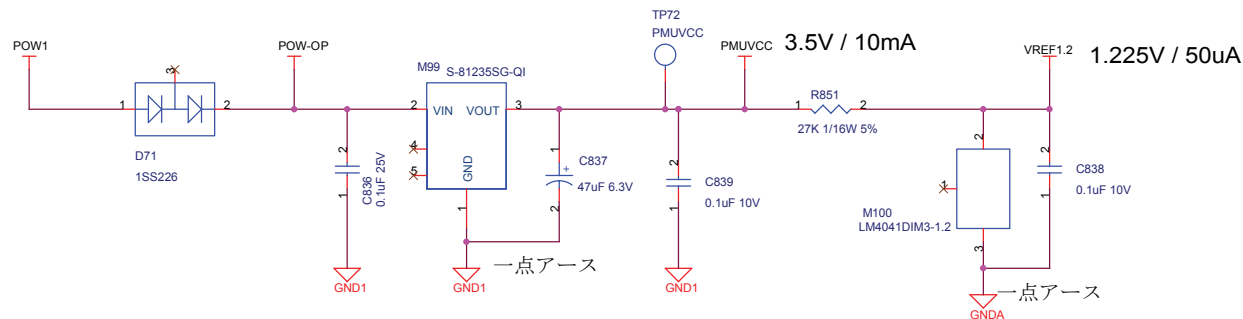


							名	ANISE-E2 04		G
							称			
							図	C1CP051300-X4	提出先	
							番			
版	年 月	設計	調査	承認	変 更 内					
設計			調査		承認		富士通株式会社		70 / 81	

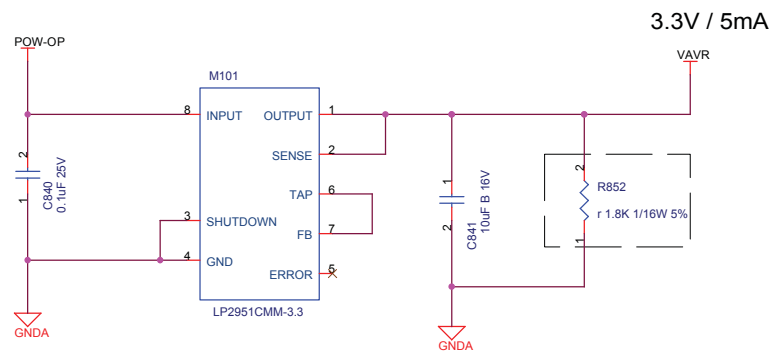


ACON,BTxALM

										名	ANISE-E2 04	
										称		
										图	C1CP051300-X4	提出先
										番		
版	年	月	設計	調査	承認		変	更	内			
設計							設計				富士通株式会社	71 / 81

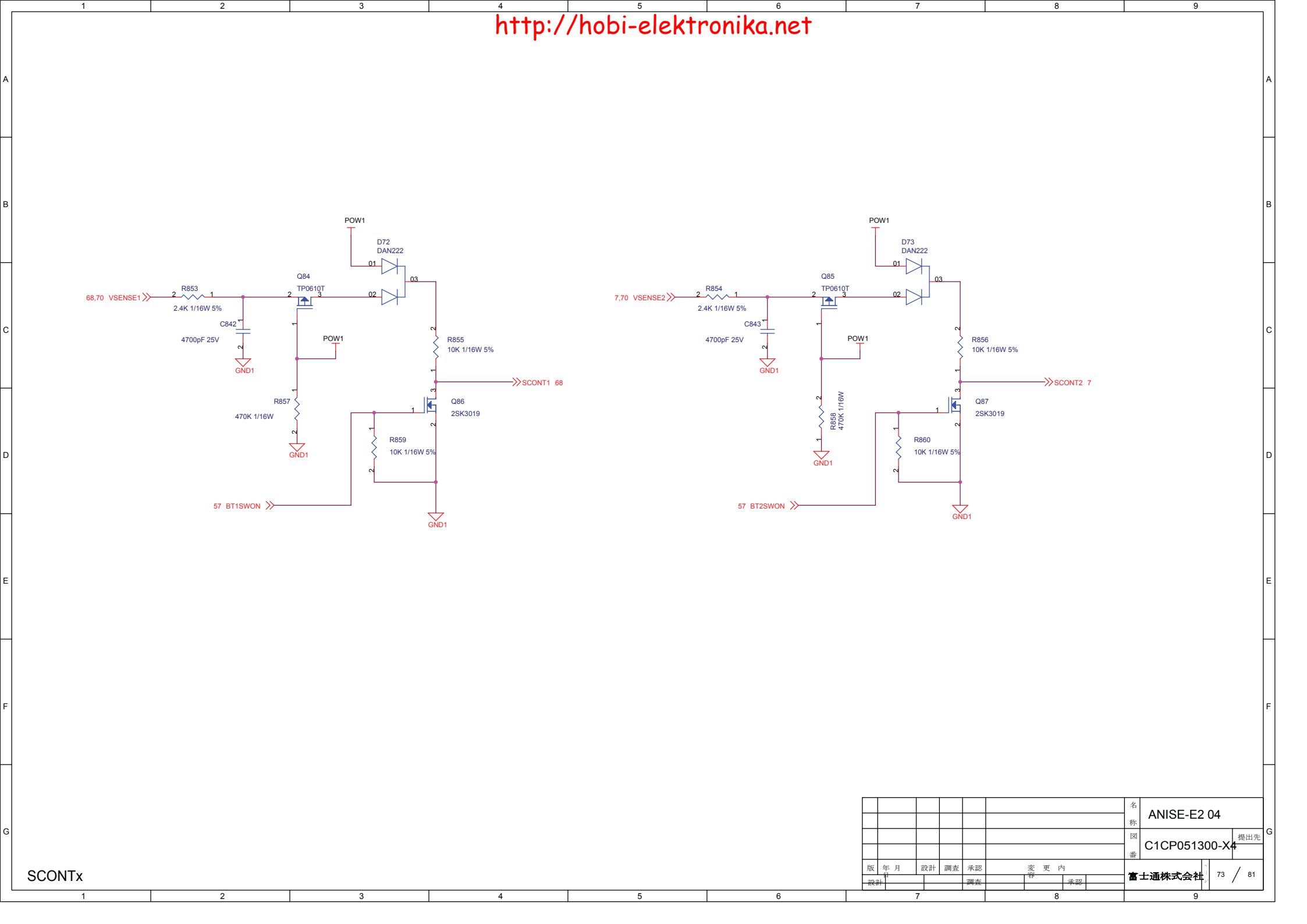
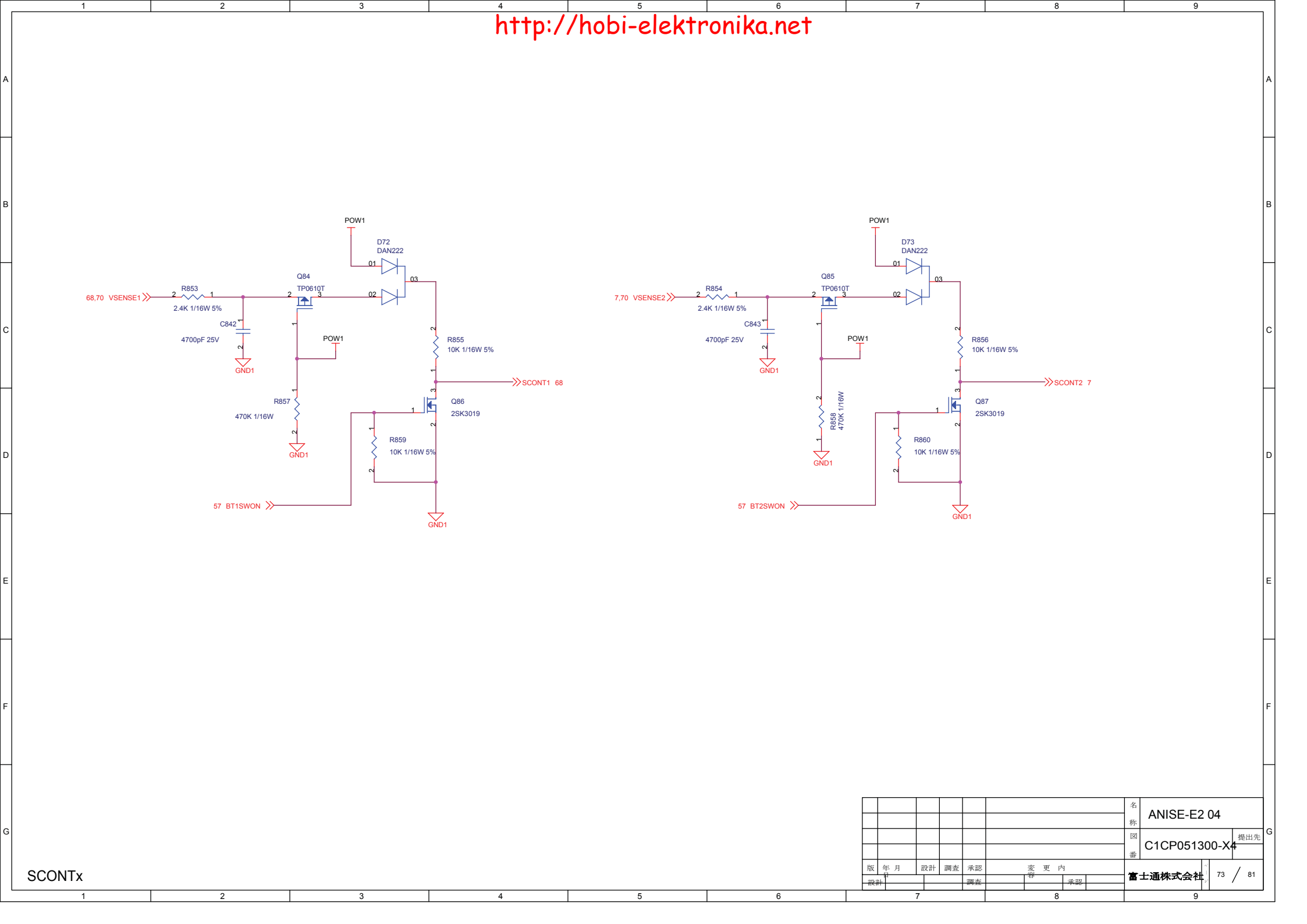


※C557, C560はS-81235SG-QIの近傍に配置し最短でパターン 風ミくこと。
 ※C558のGND1とS-81235SG-QIのGND1を一点アース /すること。
 ※LM4041DIM3-1.2, R469, C559はM56 (TLC3704CPW) の近傍に配置すること。



5VSTB,PMUVCC,VREF

名	ANISE-E2 04	提出先
図	C1CP051300-X4	番
版	年月	設計
設計	調査	承認
変更	承認	承認
富士通株式会社	72	81



<http://hobi-elektronika.net>

SCONTx

68,70 VSENSE1

7,70 VSENSE2

SCONT1 68

SCONT2 7

版	年 月	設計	調査	承認	変 更 内	富士通株式会社	73 / 81
設計							
調査							
承認							

ANISE-E2 04

C1CP051300-X4

提出先

<http://hobi-elektronika.net>

SCONTx

68,70 VSENSE1

7,70 VSENSE2

SCONT1 68

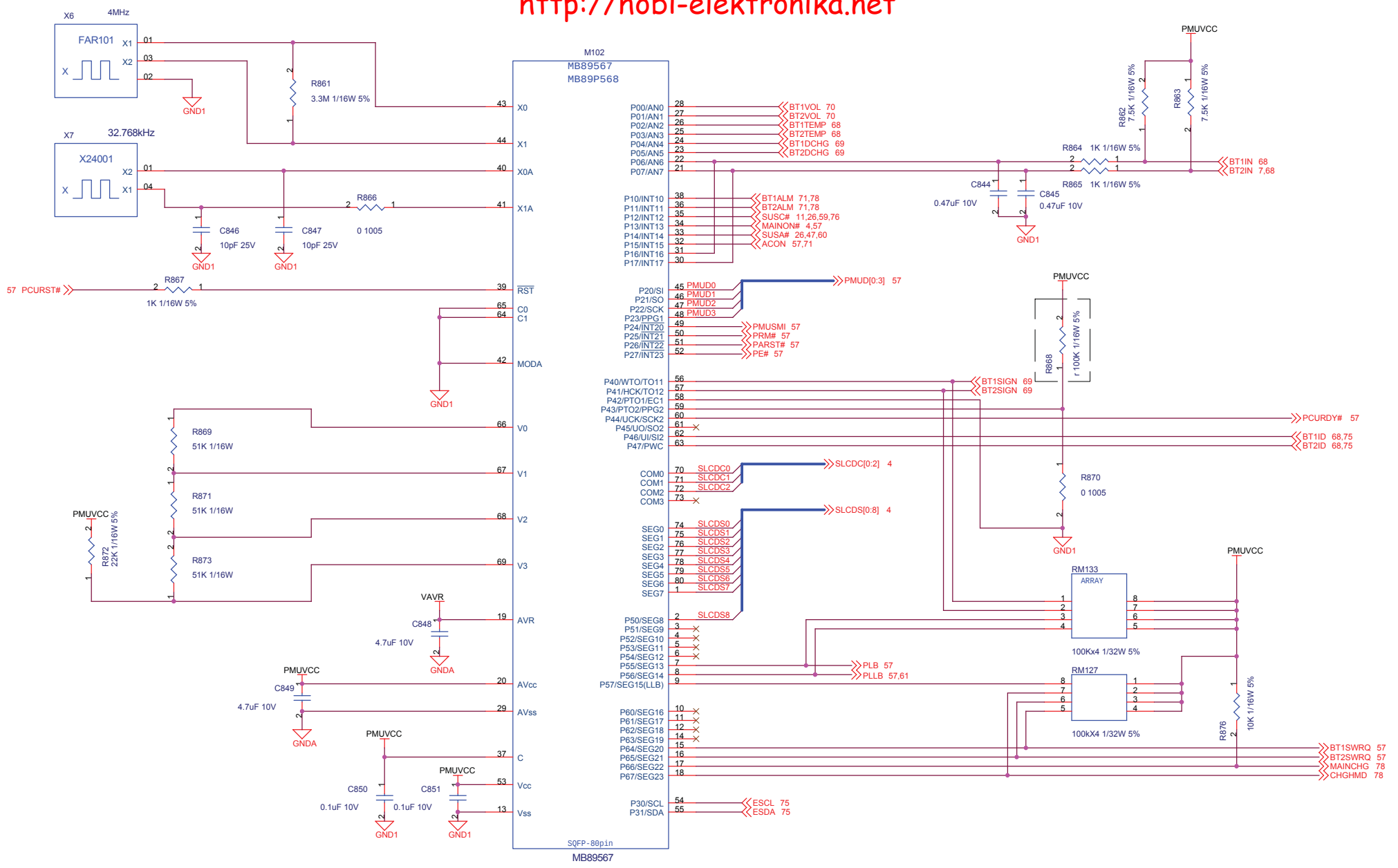
SCONT2 7

版	年 月	設計	調査	承認	変 更 内	富士通株式会社	73 / 81
設計							
調査							
承認							

ANISE-E2 04

C1CP051300-X4

提出先

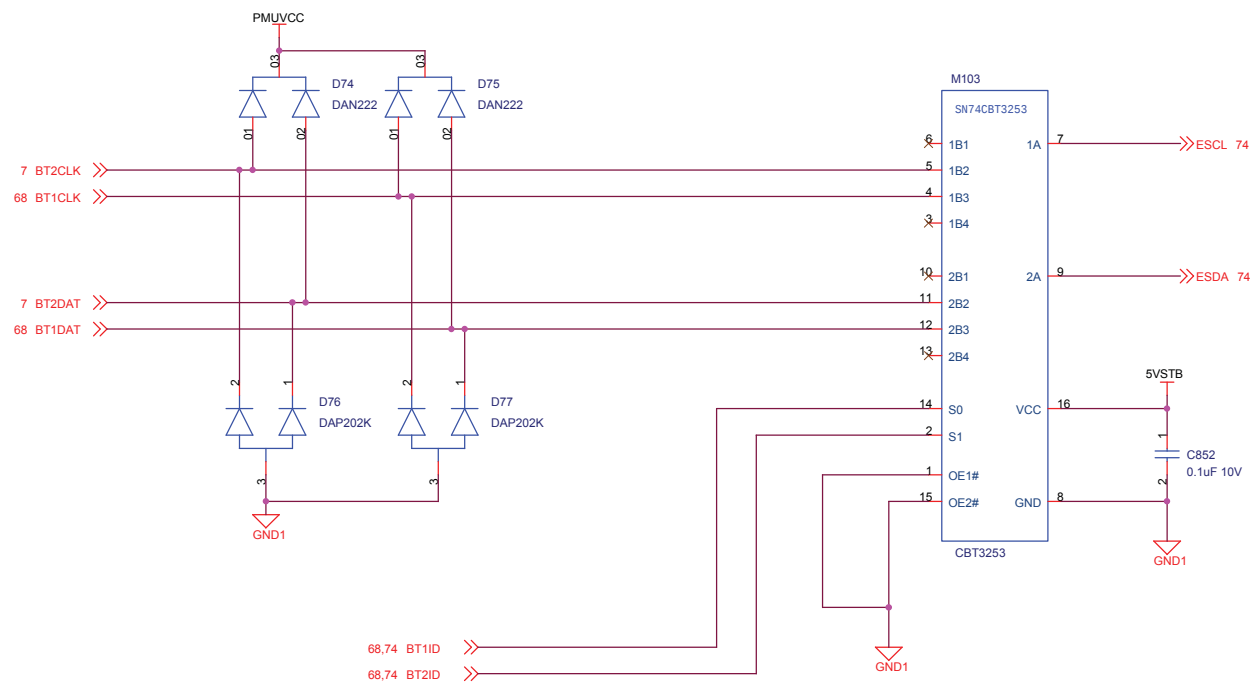


※ X5, X6, C568, C569, R478, R483はMB89567の近くに配置し、最短のパターンで引くこと。

※ MB89567の40, 41, 43, 44ピンはGND1で接続すること。

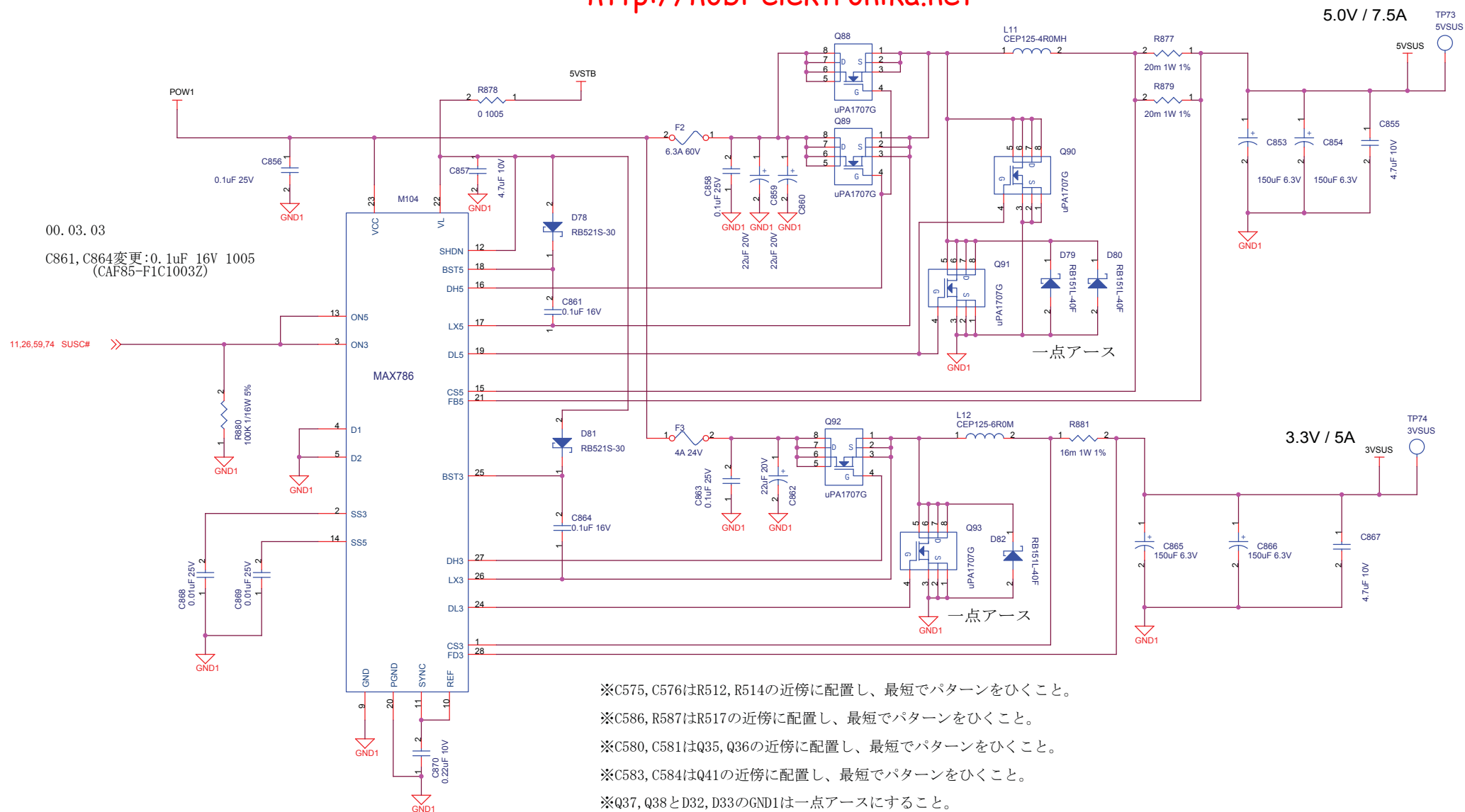
PMU

										名	ANISE-E2 04		
										称			
										図	C1CP051300-X4		提出先
										番			
版	年 月	設計	調査	承認	変 更 内					富士通株式会社			
設計			調査		登		承認		74 / 81				
7					8					9			



BUS SW

名	称	ANISE-E2 04
图	番	C1CP051300-X4
版	年 月	設計 調査 承認
設計	調査	承認
富士通株式会社	75 / 81	



※C575, C576はR512, R514の近傍に配置し、最短でパターンをひくこと。

※C586, R587はR517の近傍に配置し、最短でパターンをひくこと。

※C580, C581はQ35, Q36の近傍に配置し、最短でパターンをひくこと。

※C583, C584はQ41の近傍に配置し、最短でパターンをひくこと。

※Q37, Q38とD32, D33のGND1は一点アースにすること。

※Q42とD36のGND1は一点アースにすること。

※R512, R514からSB3052Pの15, 21ピンは最短で等長/等太さでパターンをひくこと。

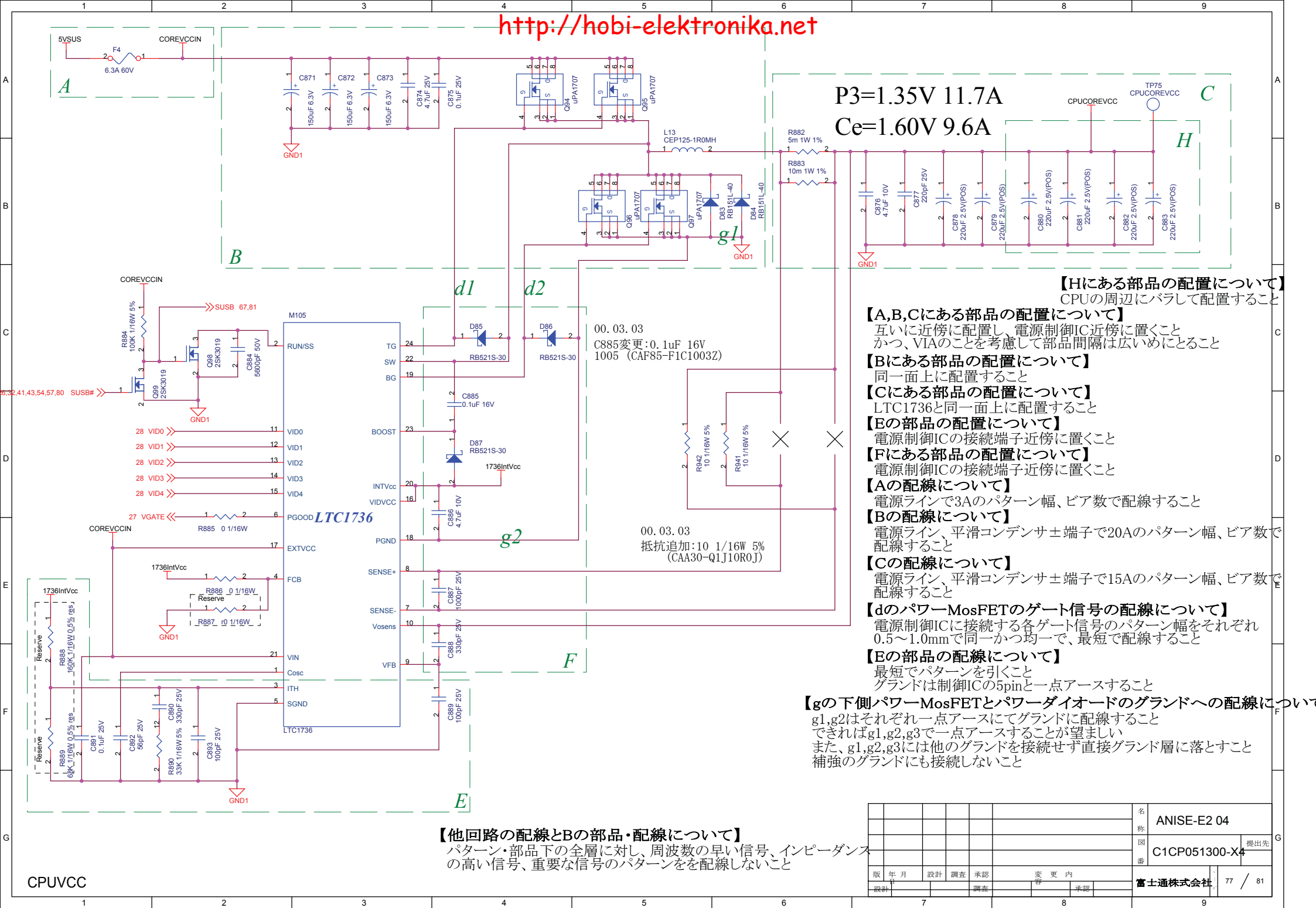
※R517からSB3052Pの1, 28ピンは最短で等長/等太さでパターンをひくこと。

※SB3052Pの16, 19, 24, 27ピンからQ35～Q38, Q41, Q42の4ピンへは最短でパターンをひくこと。

00.03.03
C870変更:0.22uF 10V
1698(CAF70-F1A2203Z)
(C761,C762と同じ部品)

5VSUS,3VSUS

[illegible]



P3=1.35V 11.7A
Ce=1.60V 9.6A

【Hにある部品の配置について】
CPUの周辺にバラして配置すること

【A,B,Cにある部品の配置について】
互いに近傍に配置し、電源制御IC近傍に置くこと
かつ、VIAのことを考慮して部品間隔は広いめにとること

【Bにある部品の配置について】
同一面上に配置すること

【Cにある部品の配置について】
LTC1736と同一面上に配置すること

【Eの部品の配置について】
電源制御ICの接続端子近傍に置くこと

【Fにある部品の配置について】
電源制御ICの接続端子近傍に置くこと

【Aの配線について】
電源ラインで3Aのパターン幅、ビア数で配線すること

【Bの配線について】
電源ライン、平滑コンデンサ±端子で20Aのパターン幅、ビア数で配線すること

【Cの配線について】
電源ライン、平滑コンデンサ±端子で15Aのパターン幅、ビア数で配線すること

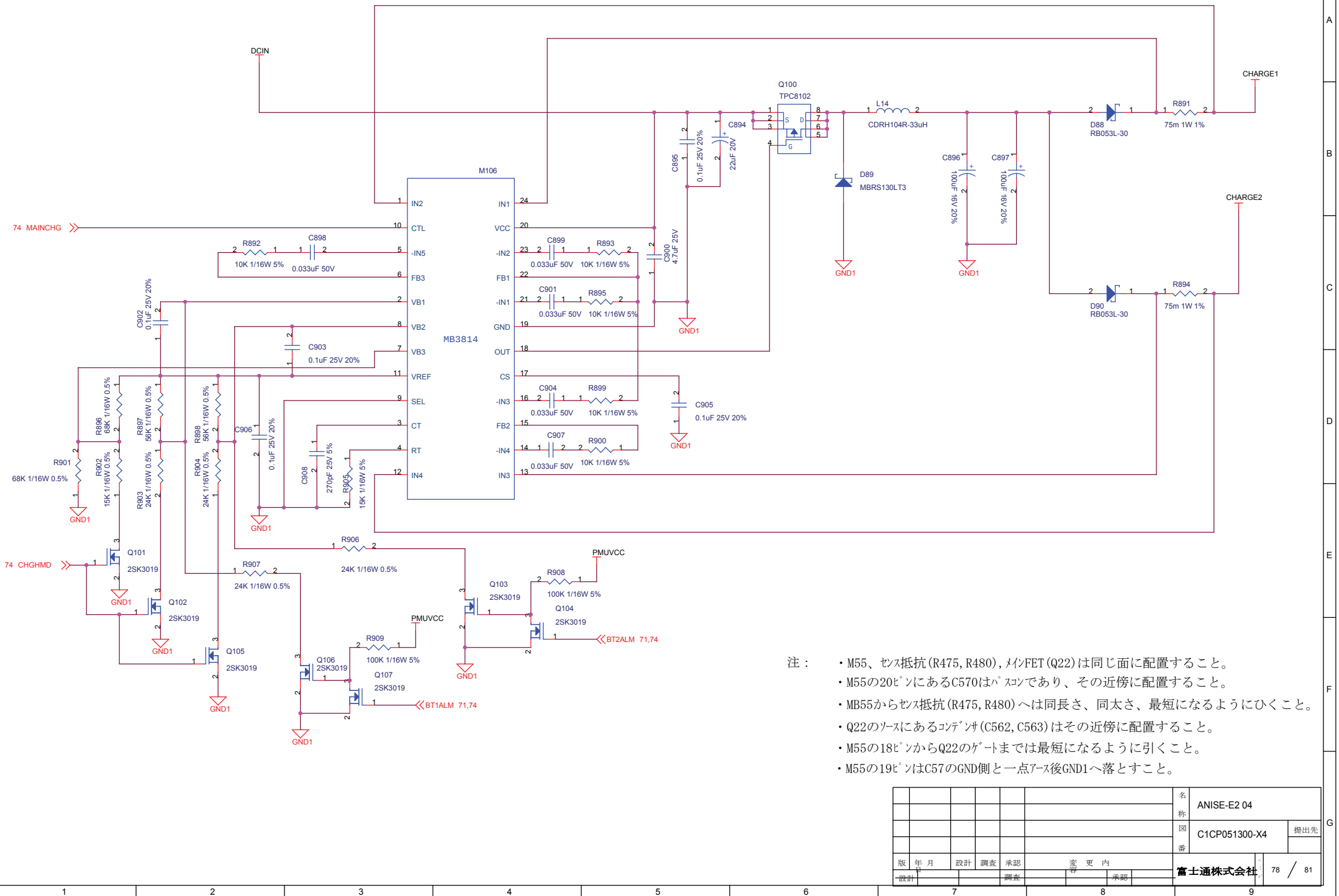
【dのパワーMosFETのゲート信号の配線について】
電源制御ICに接続する各ゲート信号のパターン幅をそれぞれ
0.5~1.0mmで同一かつ均一で、最短で配線すること

【Eの部品の配線について】
最短でパターンを引くこと
グラウンドは制御ICの5pinと一点アースすること

【gの下側パワーMosFETとパワーダイオードのグラウンドへの配線について】
g1,g2はそれぞれ一点アースにてグラウンドに配線すること
できればg1,g2,g3で一点アースすることが望ましい
また、g1,g2,g3には他のグラウンドを接続せず直接グラウンド層に落とすこと
補強のグラウンドにも接続しないこと

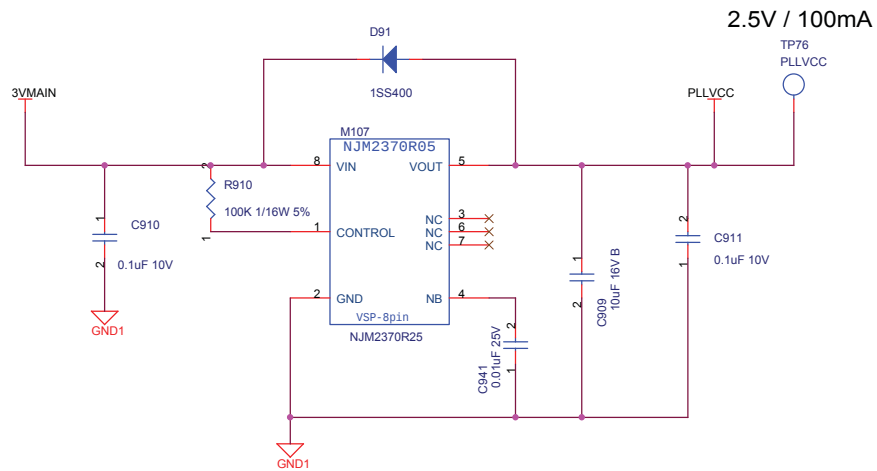
【他回路の配線とBの部品・配線について】
パターン・部品下の全層に対し、周波数の早い信号、インピーダンス
の高い信号、重要な信号のパターンをを配線しないこと

				名 称		ANISE-E2 04		
				図 番	C1CP051300-X#	提出先	G	
版	年 月	設計	調査	承認	変 更 内		富士通株式会社	
設計			調査		変 更	承認		
						77 / 81		



- 注：
- ・M55、センス抵抗(R475, R480)、メインFET(Q22)は同じ面に配置すること。
 - ・M55の20ピンにあるC570はパソコンであり、その近傍に配置すること。
 - ・MB55からセンス抵抗(R475, R480)へは同長さ、同太さ、最短になるようにひくこと。
 - ・Q22のソースにあるコンデンサ(C562, C563)はその近傍に配置すること。
 - ・M55の18ピンからQ22のゲートまでは最短になるように引くこと。
 - ・M55の19ピンはC57のGND側と一点アース後GND1へ落とすこと。

名	ANISE-E2 04
図	C1CP051300-X4
番	
版	設計
年	
月	
設計	
調査	
承認	
変更	
更	
内	
承認	
富士通株式会社	78 / 81

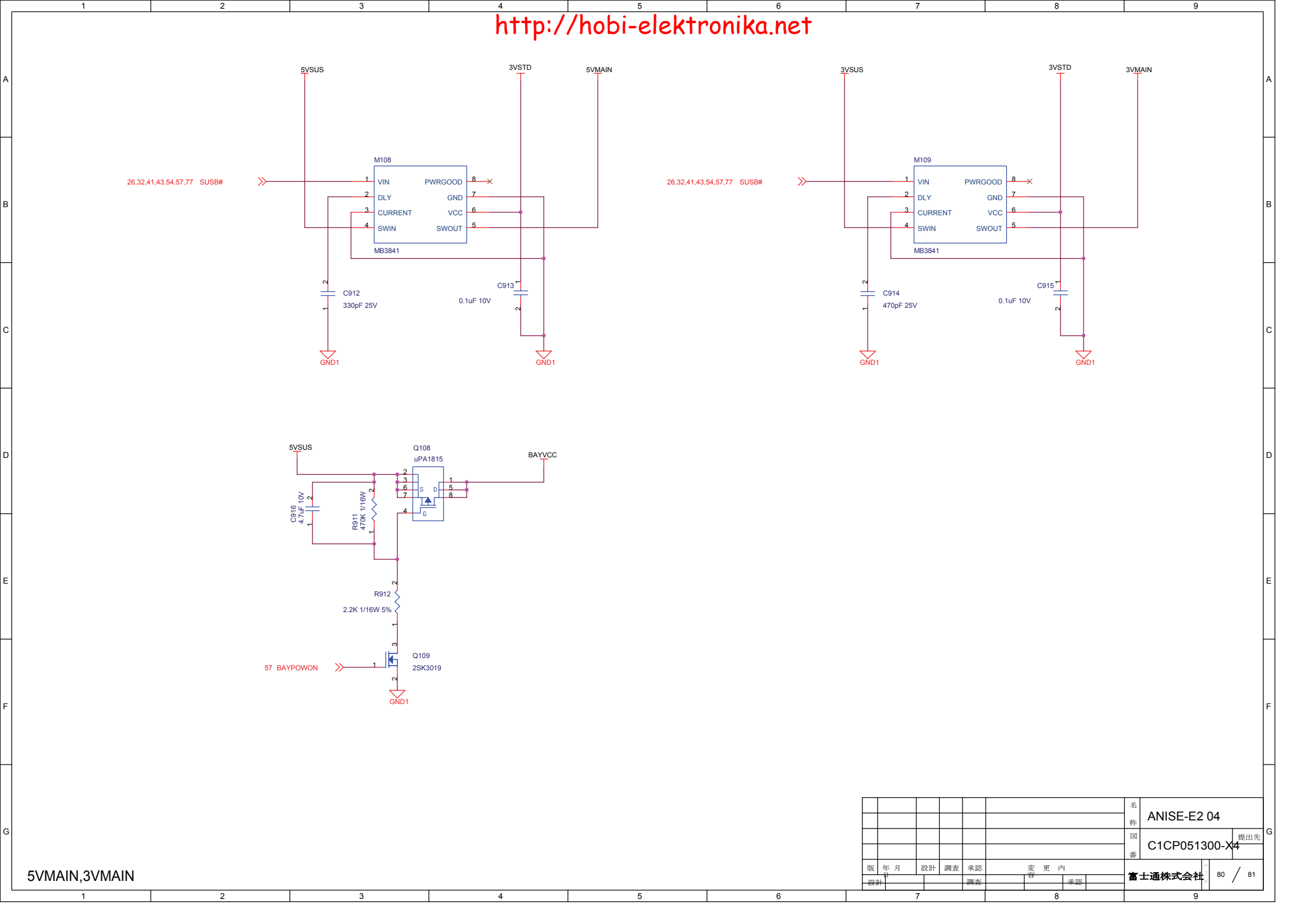
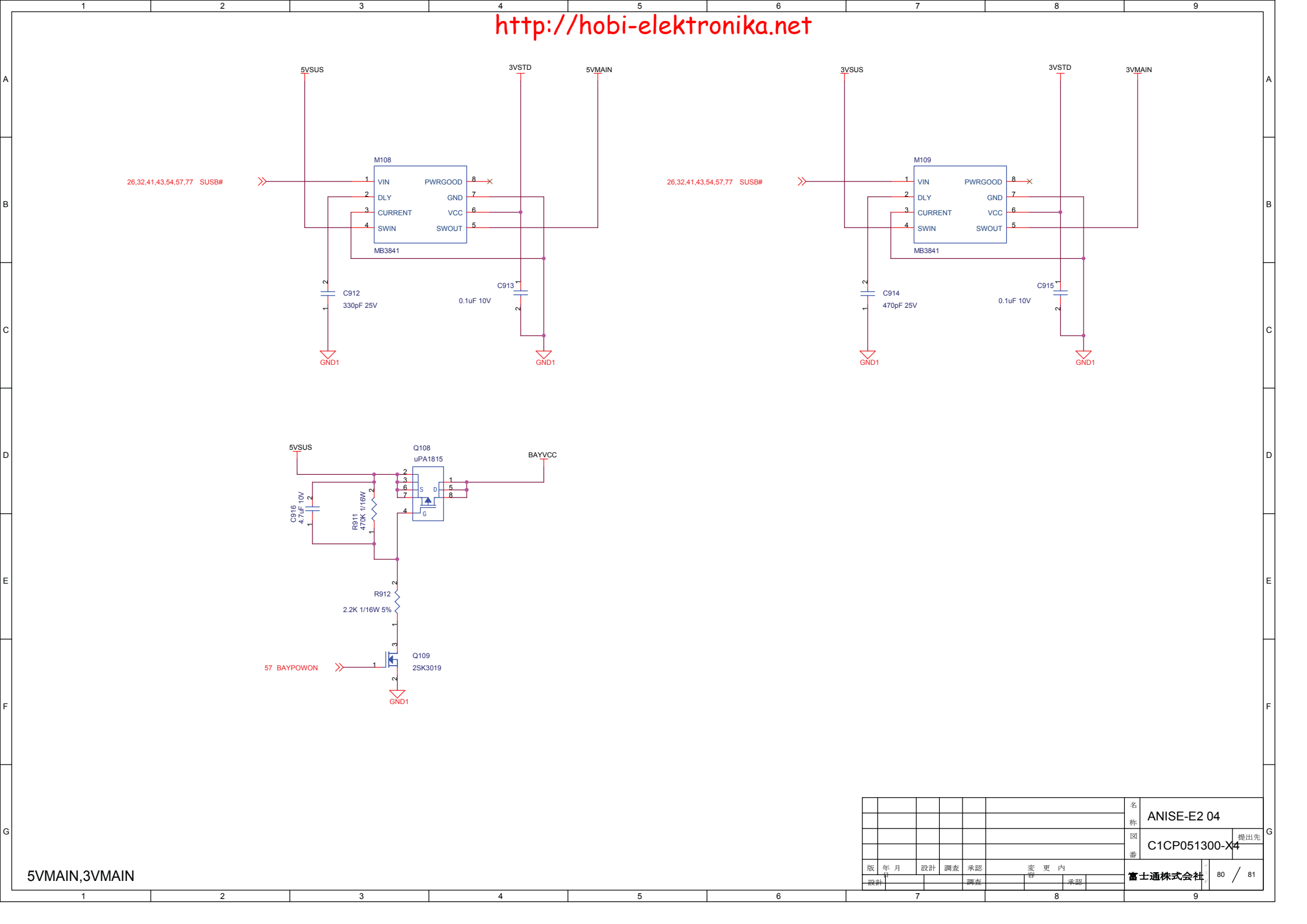
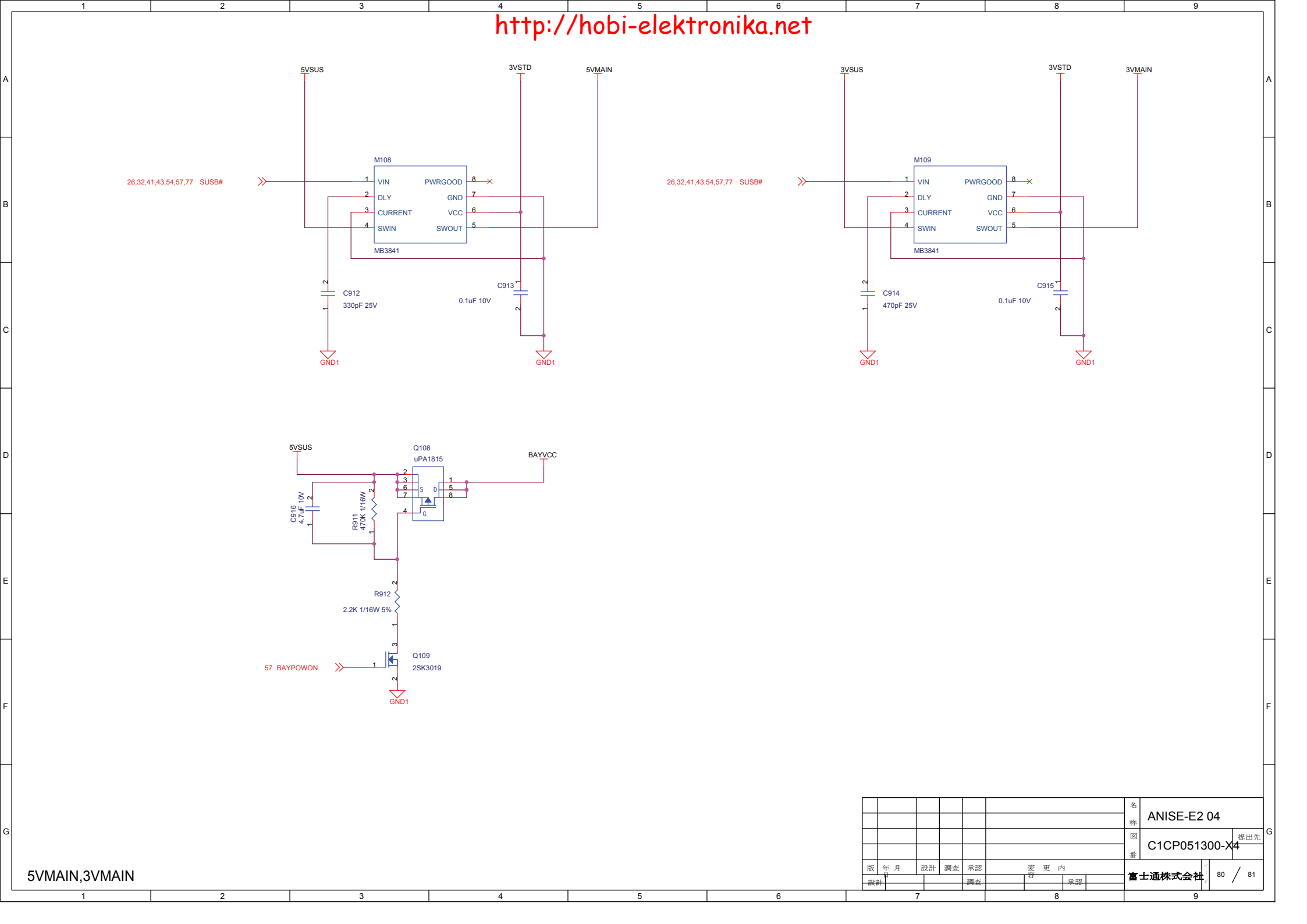


00.03.03

C909變更:10uF 16V B(CAF81-R1C1005K)

セラコン追加:0.01uF
25V(CAF34-F1E1002Z)

										名 称	ANISE-E2 04	
										図 番	C1CP051300-X4	提出先
版	年 月	設計	調査	承認	変 更 内					富士通株式会社	79 / 81	
設計			調査		変 更	承認						
7					8					9		



http://hobi-elektronika.net

5VMAIN,3VMAIN

5VSUS 3VSTD 5VMAIN

26,32,41,43,54,57,77 SUSB#

M108 MB3841

C912 330pF 25V

C913 0.1uF 10V

GND1

3VSUS 3VSTD 3VMAIN

26,32,41,43,54,57,77 SUSB#

M109 MB3841

C914 470pF 25V

C915 0.1uF 10V

GND1

5VSUS

C916 4.7uF 10V

R911 470K 1/16W

Q108 uPA1815

BAYVCC

R912 2.2K 1/16W 5%

57 BAYPOWON

Q109 2SK3019

GND1

名	ANISE-E2 04				提出先
図	C1CP051300-X4				番
版	年	月	設計	調査	承認
設計					

富士通株式会社

80 / 81

<http://hobi-elektronika.net>

5VSUS 3VSTD 5VMAN

26,32,41,43,54,57,77 SUSB#

M108 MB3841

C912 330pF 25V

C913 0.1uF 10V

GND1

3VSUS 3VSTD 3VMAN

26,32,41,43,54,57,77 SUSB#

M109 MB3841

C914 470pF 25V

C915 0.1uF 10V

GND1

5VSUS BAYVCC

C916 4.7uF 10V

R911 470K 1/16W

Q108 uPA1815

R912 2.2K 1/16W 5%

Q109 2SK3019

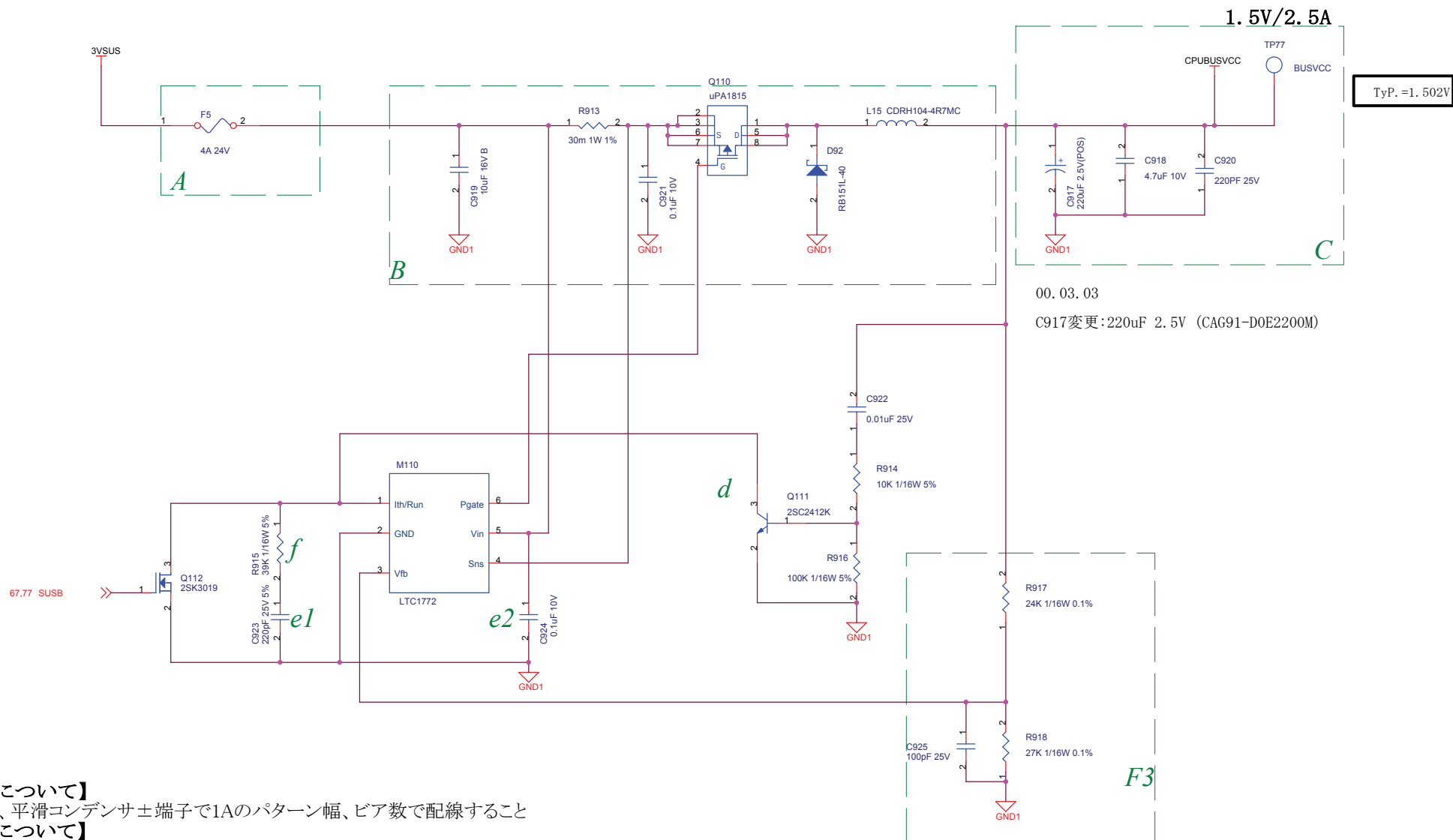
57 BAYPOWON

GND1

5VMAN,3VMAN

名	ANISE-E2 04				提出先
図	C1CP051300-X4				番
版	年	月	設計	調査	承認
設計			調査		承認

富士通株式会社 80 / 81



【Aの配線について】

電源ライン、平滑コンデンサ±端子で1Aのパターン幅、ビア数で配線すること

【Bの配線について】

電源ライン、平滑コンデンサ±端子で3.5Aのパターン幅、ビア数で配線すること

【Cの配線について】

電源ライン、平滑コンデンサ±端子で2.5Aのパターン幅、ビア数で配線すること

【dのパワーMosFETのゲート信号の配線について】

電源制御ICに接続する各ゲート信号のパターン幅をそれぞれ0.5～1.0mmで同一かつ均一で、最短で配線すること

【eの部品の配線について】

最短でパターンを引くこと
グラントは制御ICの2pinと一点アースすること

【他回路の配線とBの部品・配線について】

パターン・部品下の全層に対し、周波数の早い信号、インピーダンスの高い信号、重要な信号のパターンをを配線しないこと

【A,B,Cにある部品の配置について】

互いに近傍に配置し、電源制御IC近傍に置くこと

【Eの部品の配置について】

電源制御ICの接続端子近傍に置くこと

【Fにある部品の配置について】

電源制御ICの接続端子近傍に置くこと

名	ANISE-E2 04	提出先
図	C1CP051300-X4	
番		
版	年月	設計
設計	調査	承認
変更	承認	
富士通株式会社	81	81